

## Space Vector Modulation Strategy for Three Level Boost Inverter with Reduction Total Harmonic Distortion

Do Duc Tri<sup>1\*</sup>, Tran Le Huy<sup>2</sup>, Van Tan Luong<sup>2</sup>, Le Hoang Minh<sup>1</sup>

<sup>1</sup>Ho Chi Minh City University of Technology and Education, Vietnam.

<sup>2</sup>HCMC University of Food Industry, Ho Chi Minh City, Vietnam.

\* Corresponding author. Email: [tridd@hcmute.edu.vn](mailto:tridd@hcmute.edu.vn)

### ARTICLE INFO

Received: 02/11/2022  
Revised: 19/12/2022  
Accepted: 11/01/2023  
Published: 28/04/2023

### KEYWORDS

Multilevel inverter;  
Z Source;  
Quasi Switch Boost;  
T-Type inverter;  
SVPWM strategy.

### ABSTRACT

Recently, several pulse width modulation techniques have been studied by three-level impedance-source inverters. The space vector modulation (SVM) technology with upper and lower shoot-through (UST/LST) insertion is one of the studies that offers high voltage gain and better output voltage quality. This study presents inductor current ripple of the TL-qSBI is lessened by the SVPWM strategy. The shoot-through duty cycle is kept constant in the proposed SVPWM strategy to keep the modulation index as high as possible. Then the duty cycles of the two power switches of the impedance source network are the only control parameters for the TL-qSBI. The voltage gain of the qSBI can be increased to a value greater than that of the traditional three-level impedance source inverters by adjusting the duty cycles of the two power switches of the impedance source network. The operational principles and the steady-state analysis are presented. Experimental results are validated by the theoretical analysis.

## Kỹ Thuật Điều Chế Vector Không Gian cho Nghịch Lưu Ba Bậc Tăng Áp với Khả Năng Giảm Tổng Méo Dạng Hàm

Đỗ Đức Trí<sup>1\*</sup>, Trần Lê Huy<sup>2</sup>, Văn Tấn Lượng<sup>2</sup>, Lê Hoàng Minh<sup>1</sup>

<sup>1</sup>Đại học Sư phạm Kỹ thuật Thành Phố Hồ Chí Minh, Việt Nam.

<sup>2</sup>Đại học Công nghiệp Thực phẩm Thành Phố Hồ Chí Minh, Việt Nam.

\* Tác giả liên hệ. Email: [tridd@hcmute.edu.vn](mailto:tridd@hcmute.edu.vn)

### THÔNG TIN BÀI BÁO

Ngày nhận bài: 02/11/2022  
Ngày hoàn thiện: 19/12/2022  
Ngày chấp nhận đăng: 11/01/2023  
Ngày đăng: 28/04/2023

### TỪ KHÓA

Nghịch lưu đa bậc;  
Nguồn Z;  
Tăng áp tựa khóa chuyển mạch;  
Nghịch lưu hình T;  
Hệ số tăng áp cao.

### TÓM TẮT

Gần đây, một số kỹ thuật điều chế độ rộng xung đã được nghiên cứu bởi bộ nghịch lưu nguồn kháng ba bậc. Kỹ thuật điều chế vector không gian (SVM) với sự chèn xung ngắn mạch nửa trên và nửa dưới (UST/LST) là một trong những nghiên cứu mà nó cung cấp độ lợi điện áp cao và chất lượng điện áp đầu ra tốt hơn. Nghiên cứu này trình bày độ gợn của cuộn dây tăng áp ba bậc hình T được giảm bởi kỹ thuật điều chế độ rộng xung vector không gian. Chu kỳ nhiệm vụ ngắn mạch được duy trì như một hằng số trong phương pháp điều chế độ rộng xung vector không gian để giữ chỉ số điều chế càng cao càng tốt. Khi đó chu kỳ nhiệm vụ của hai khóa công suất mạng nguồn kháng đóng vai trò thông số điều khiển cho nghịch lưu tăng áp ba bậc hình T. Độ lợi điện áp của nghịch lưu tăng áp ba bậc hình T có thể được tăng lên lớn hơn giá trị của bộ nghịch tăng áp ba bậc nguồn kháng truyền thống bằng cách điều chỉnh chu kỳ nhiệm vụ của hai khóa công suất của mạng nguồn kháng. Các nguyên lý hoạt động và phân tích trạng thái ổn định được trình bày. Kết quả thử nghiệm được chứng minh bởi phân tích lý thuyết.

Doi: <https://doi.org/10.54644/jte.76.2023.1305>

Copyright © JTE. This is an open access article distributed under the terms and conditions of the [Creative Commons Attribution-NonCommercial 4.0 International License](https://creativecommons.org/licenses/by-nc/4.0/) which permits unrestricted use, distribution, and reproduction in any medium for non-commercial purpose, provided the original work is properly cited.

## 1. Giới thiệu

Các nguồn năng lượng tái tạo đang chiếm vị trí hàng đầu trong lĩnh vực cung cấp điện. Nhiều quốc gia trên thế giới đang được khuyến khích sử dụng năng lượng tái tạo với nhiều lý do khác nhau, điển hình như khan hiếm nhiên liệu, giảm thiểu khí thải do hiệu ứng nhà kính và nhu cầu năng lượng xanh. Các bộ chuyển đổi công suất ảnh hưởng rất lớn đối với hệ thống cung cấp điện vì vậy, gần đây các nhà nghiên cứu đã cải thiện các bộ chuyển đổi công suất. Nghịch lưu nguồn áp (VSI) [1], [2] là một cấu trúc chuyển đổi truyền thống mà nó được sử dụng rộng rãi trong hệ thống cung cấp điện, xe điện, hệ thống UPS, hệ thống nối lưới. Nghịch lưu đa bậc nguồn áp có nhiều thuận lợi như điện áp đầu ra ổn định, điện áp đặt trên các khóa công suất không cao, khả năng công suất và điện áp đầu ra cao so với nghịch lưu nguồn áp truyền thống hai bậc. Tuy nhiên, bất lợi lớn nhất của nghịch lưu nguồn áp truyền thống đó là hệ thống hoạt động ở chế độ buck và khả năng hoạt động của các khóa nghịch lưu trên cùng một pha là không cho phép (ngắn mạch) [3]. Trong những ứng dụng các hệ thống năng lượng xanh, hệ thống UPS hay hệ thống điều khiển động cơ không đồng bộ thì mức điện áp xoay chiều đầu ra phải đảm bảo đạt được. Để làm được điều đó, trước mỗi bộ nghịch lưu nguồn áp thông thường phải bổ sung một bộ DC tăng áp hay sau mỗi bộ nghịch lưu nguồn áp thông thường phải tăng cường một biến áp tăng áp (biến áp hoạt động ở tần số thấp). Điều này sẽ làm gia tăng số phần tử công suất dẫn đến tăng kích thước, trọng lượng của hệ thống chuyển đổi [4].

Giải quyết những bất lợi mà vẫn thụ hưởng những thuận lợi của các bộ nghịch lưu đa bậc nguồn áp truyền thống, bộ nghịch lưu mạng nguồn kháng được trình bày (Z-source) [5]. Cấu hình này không những thừa hưởng những thuận lợi của các bộ chuyển đổi thông thường mà còn làm việc ở trạng thái tăng-giảm điện áp và duy trì trong môi trường ngắn mạch (shoot through). Vấn đề bất lợi của cấu hình nguồn Z đó là điện áp đặt trên các phần tử công suất thụ động khá lớn cũng như dòng điện đầu vào không liên tục.

Khắc phục những nhược điểm của nghịch lưu mạng nguồn Z, nghịch lưu tựa mạng nguồn Z (qZSI) đã được nghiên cứu [6]. Công bố trong [6] là một liên kết bởi mạng nguồn kháng (qZS) và nghịch lưu 2 bậc thông thường. Mạng nguồn kháng được kết hợp bởi 2 diode, 2 cuộn dây tăng áp, và 2 tụ điện với mục đích cải thiện điện áp DC-link. Ngoài kỹ thuật [6], đề xuất [7] là một bộ chuyển đổi ba bậc hình T tựa nguồn Z. Trong đó, mạng tựa nguồn Z được liên kết bởi bốn tụ điện, hai diode và bốn cuộn dây tăng áp. Những phần tử này được kết nối với nhau để tạo nên điểm giữa (0). Bởi vì khi sử dụng quá nhiều phần tử công suất thụ động, kích thước và trọng lượng của bộ chuyển đổi sẽ tăng lên.

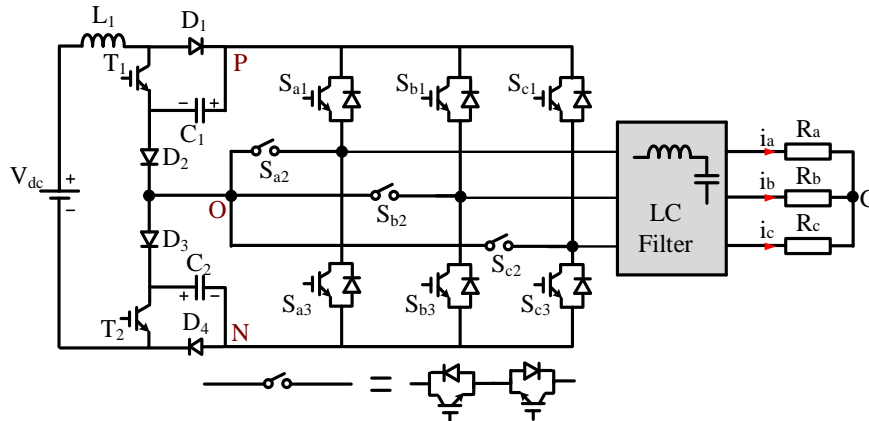
Để hạn chế những bất lợi của qZSI, nhiều nghiên cứu đã được công bố về cấu hình nghịch lưu tăng áp tựa khóa chuyên mạch 3 bậc hình T (3L-qSBT<sup>2</sup>D) [8]-[10]. Nghiên cứu [8] đã đề xuất cấu hình và giải thuật giảm hai cuộn dây tăng áp, hai tụ điện so với những cấu hình nghiên cứu [7], nâng cao độ lợi điện áp cũng như cải thiện độ gọn dòng điện của cuộn dây đầu vào, điều này cải thiện kích thước và trọng lượng cho hệ thống. Một nghiên cứu mới được đề xuất bởi nghiên cứu [9], với hệ số tăng áp cao hơn trong khi những ưu điểm của nghiên cứu [8] vẫn duy trì. Ngoài ra, nghiên cứu [10] với khả năng hoạt động ở điều kiện bình thường và sự cố hở mạch khóa công suất trong khi vẫn duy trì các ưu điểm của nghiên cứu [8].

Kỹ thuật điều khiển cho nghịch lưu đa bậc bao gồm SinPWM, phương pháp tiêm hài bậc ba (third harmonic injection) và phương pháp điều chế vector không gian (SVM). Mỗi phương pháp có những thuận lợi riêng tùy theo mục đích điều khiển cho hệ thống [8]-[11]. Trong nghiên cứu [8], [10] phương pháp điều khiển SinPWM được sử dụng để điều khiển, với phương pháp này việc tạo tín hiệu điều khiển rất đơn giản bởi hàm if và else. Tuy nhiên, bất lợi của phương pháp này là chỉ số điều chế chỉ hoạt động ở  $0 < M < 1$  (sử dụng phương pháp truyền thống). Để mở rộng chỉ số điều chế lên  $0 < M < 1.15$  thì phương pháp tiêm hài bậc ba được sử dụng như trình bày [10]. Cũng có chỉ số điều chế  $0 < M < 1.15$  giống như phương pháp [10], phương pháp SVM được sử dụng [11], [12]. Với giải thuật SVM hệ thống không chỉ có chỉ số điều chế cao (sử dụng vector lớn) mà còn tạo ra tín hiệu điều khiển chính xác hơn phương pháp SinPWM và tiêm hài bậc ba. Tuy nhiên, phương pháp SVM phức tạp trong lập trình và đòi hỏi bộ nhớ lớn. Với công nghệ ngày nay việc đòi hỏi lập trình và bộ nhớ lớn đã được cải thiện một cách đáng kể. Nghiên cứu [12], [13] sử dụng kỹ thuật SVM để giảm điện áp common mode mà vẫn giữ các điều kiện thuận lợi của [8]. Tuy nhiên nhược điểm của nghiên cứu này là việc chèn xung toàn phần làm cho

THD của bộ chuyển đổi tăng lên. Để loại trừ điện áp common mode kỹ thuật SVM được đề xuất sử dụng với những vector nhỏ và vector trung bình [14]. Kỹ thuật [14] không chỉ loại trừ điện áp common mode mà còn có tính năng cải thiện độ lợi điện áp và độ gọn dòng điện của cuộn dây đầu vào.

Trong bài báo này, một phương pháp SVM được đề xuất để thực hiện giảm tổng méo dạng hài bởi giải thuật sắp xếp xung ngắt mạch nửa trên và xung ngắt mạch nửa dưới trong khi vẫn duy trì tính năng tăng độ lợi điện áp và cải thiện độ gọn dòng điện của cuộn dây trong [8]. Kỹ thuật sắp xếp xung ngắt mạch cho 3L-qSBT<sup>2</sup>I được phân tích. Kết quả thử nghiệm sẽ so sánh với cơ sở lý thuyết để làm nổi bật giải thuật đề xuất.

## 2. Cấu hình nghịch lưu tăng áp một chạng hình T ba bậc



Hình 1. Cấu hình ba bậc qSBT<sup>2</sup>I

Mạng nguồn kháng (qSB) bao gồm: một nguồn DC đầu vào, một cuộn cảm ( $L_1$ ), hai tụ điện ( $C_1$ ,  $C_2$ ), bốn diode ( $D_1$ ,  $D_2$ ,  $D_3$ ,  $D_4$ ), và hai khóa công suất IGBT ( $T_1$ ,  $T_2$ ). Điểm giữa (O) được sinh ra bởi các phần tử công suất trong qSB. Điểm O và hai đầu ra của mạng qSB (P, N) sẽ tạo ra điện áp DC-link kết nối với mạch nghịch lưu 3 bậc hình T thông thường. Trong đó, nghịch lưu ba bậc thông thường bao gồm 3 dây pha (pha a, b, c), mỗi dây pha gồm có 4 IGBT. Khóa hai chiều ở giữa nhánh T được hình thành bởi 2 IGBT ghép đối song, được biểu diễn như Hình. 1. Chuyển đổi 3 bậc hình T có thể tạo ra 3 bậc điện áp ở đầu ra bởi: khóa công suất  $S_{1x}$  ( $x = a, b, c$ ) được kích đóng, giá trị đầu ra đạt được  $V_{PO}$ . Khi kích đóng khóa công suất  $S_{2x}$  (lưu ý khóa  $S_{2x}$  là khóa hai chiều được hình thành bởi hai IGBT như Hình 1), điện áp  $V_{XO}$  sẽ đạt giá trị zero. Tương tự, khi kích đóng khóa công suất  $S_{3x}$ , điện áp  $V_{XO}$  sẽ đạt giá trị  $V_{NO}$ .

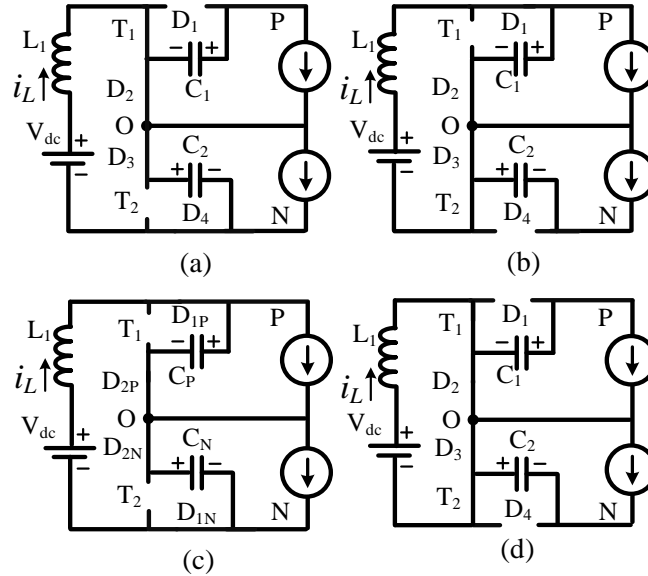
### 2.1. Nguyên lý hoạt động

Bảng 1. Điều kiện đóng ngắt của 3L-qSBT<sup>2</sup>I-RTHD

Trạng thái	Kích dẫn khóa tích cực	Kích dẫn khóa thụ động	Điện áp đầu ra
NST 1	$T_1$	$D_2, D_3, D_4$	$V_{PO}, 0$ hoặc $V_{NO}$
NST 2	$T_2$	$D_1, D_2, D_3$	$V_{PO}, 0$ hoặc $V_{NO}$
NST 3	$T_1, T_2$	$D_2, D_4$	$V_{PO}, 0$ hoặc $V_{NO}$
NST 4	$S_{1x}$	$D_1, D_2, D_3, D_4$	$V_{PO}$
	$S_{2x}$		0
	$S_{3x}$		$V_{NO}$
ST	UST	$S_{1x}, S_{2x}, T_2$	0 hoặc $V_{NO}$
	LST	$S_{2x}, S_{3x}, T_1$	0 hoặc $V_{PO}$

Bộ chuyển đổi tăng áp một chạng hình T với tính năng giảm THD (3L-qSBT<sup>2</sup>I-RTHD) bao gồm hai chế độ hoạt động chính đó là “Ngắn mạch (ST)” và “Không ngắn mạch (NST)”.

2.1.1. Trạng thái không ngắn mạch (NST).



**Hình 2.** Các trạng thái không ngắn mạch của 3L qSBT<sup>2</sup>I (a) trạng thái NST1, (b) trạng thái NST2, (c) trạng thái NST3, (d) trạng thái NST4.

Trạng thái NST 1:  $[t_0 - t_1$  và  $t_2 - t_3$ ; xem Hình. 4], như biểu diễn ở Hình 2(a), khóa T<sub>1</sub> được kích đóng và khóa T<sub>2</sub> được kích ngắt. Điều này làm cho diode D<sub>1</sub> không thỏa mãn điều kiện dẫn. Lúc này các diode D<sub>2</sub>, D<sub>3</sub>, D<sub>4</sub> thỏa mãn điều kiện dẫn. Năng lượng trong cuộn dây L<sub>1</sub> và tụ điện C<sub>1</sub> xả, tụ điện C<sub>2</sub> được nạp bởi nguồn điện đầu vào V<sub>dc</sub>. Cùng thời điểm này, phía bên nghịch lưu hoạt động như một bộ nghịch lưu hình T ba bậc thông thường và được đại diện bởi nguồn dòng như Hình 2(a). Điện áp stress của cuộn dây L<sub>1</sub> được tính toán như hệ thức (1):

$$L_1 \frac{di_L}{dt} = V_{dc} - V_c \quad \& \quad \begin{cases} C_1 \frac{dv_c}{dt} = -I_{load} \\ C_2 \frac{dv_c}{dt} = I_L - I_{load} \end{cases} \quad (1)$$

Trạng thái NST 2:  $[t_6 - t_7$  và  $t_8 - t_9$ ; xem Hình. 4], như biểu diễn ở Hình 2(b), khóa T<sub>2</sub> được kích dẫn và khóa T<sub>1</sub> được kích ngắt. Điều này làm cho diode D<sub>4</sub> không thỏa mãn điều kiện dẫn. Trong khi đó các diode D<sub>1</sub>, D<sub>2</sub>, D<sub>3</sub> thỏa mãn điều kiện dẫn. Năng lượng bên trong cuộn dây L<sub>1</sub> và tụ điện C<sub>2</sub> xả, tụ điện C<sub>1</sub> được nạp bởi năng lượng đầu vào V<sub>dc</sub>. Điện áp stress của cuộn dây L<sub>1</sub> được tính toán như hệ thức (2):

$$L_1 \frac{di_L}{dt} = V_{dc} - V_c \quad \& \quad \begin{cases} C_1 \frac{dv_c}{dt} = I_L - I_{load} \\ C_2 \frac{dv_c}{dt} = -I_{load} \end{cases} \quad (2)$$

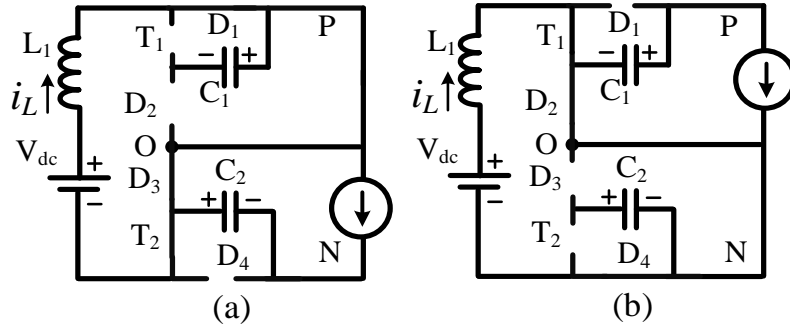
Trạng thái NST 3:  $[t_3 - t_4$ ,  $t_5 - t_6$ ,  $t_9 - t_{10}$ , và  $t_{11} - t_{12}$ ; xem Hình. 4], như biểu diễn ở Hình 2(c), cả hai khóa công suất T<sub>1</sub> và T<sub>2</sub> được kích ngắt. Điều này làm cho cả bốn diode D<sub>1</sub>, D<sub>2</sub>, D<sub>3</sub> và D<sub>4</sub> thỏa mãn điều kiện dẫn. 2 tụ điện C<sub>1</sub> và C<sub>2</sub> được nạp bởi nguồn điện đầu vào V<sub>dc</sub>. Cùng thời điểm đó cuộn dây tăng áp L<sub>1</sub> cung cấp năng lượng đến phía mạch nghịch lưu. Điện áp stress của cuộn dây L<sub>1</sub> được xác định theo hệ thức (3):

$$L_1 \frac{di_L}{dt} = V_{dc} - 2V_c \quad \& \quad C_1 \frac{dv_c}{dt} = C_2 \frac{dv_c}{dt} = I_L - I_{load} \quad (3)$$

Trạng thái NST 4:  $[t_1 - t_2$  và  $t_7 - t_8$ ; xem Hình. 4]. Như biểu diễn ở Hình 2(d), cả hai khóa  $T_1$  và  $T_2$  được kích dẫn. Điều này làm cho cả hai diode  $D_1$  và  $D_4$  không thỏa mãn điều kiện dẫn. Trong khi đó hai diode  $D_2, D_3$  thỏa mãn điều kiện dẫn. Năng lượng trong cuộn dây  $L_1$  được tích lũy bởi các phần tử công suất như  $T_1, T_2, D_2, D_3$  của mạng nguồn kháng. Hai tụ điện  $C_1$  và  $C_2$  xả điện áp. Điện áp stress của cuộn dây  $L_1$  được tính toán như hệ thức (4):

$$L_1 \frac{di_L}{dt} = V_{dc} \quad \& \quad C_1 \frac{dv_c}{dt} = C_2 \frac{dv_c}{dt} = -I_{load}. \quad (4)$$

### 2.1.2. Trạng thái ngắn mạch



**Hình 3.** Các trạng thái ngắn mạch của 3L qSBT<sup>2</sup>I (a) trạng thái ST nửa trên và (b) trạng thái ST nửa dưới.

#### 2.1.2.1. Chế độ ngắn mạch nửa trên

Chế độ UST: Khóa công suất bên phía mạng nguồn kháng  $T_2$  và hai khóa công suất bên phía nghịch lưu  $S_{x1}$  và  $S_{x2}$  được kích đóng đồng thời như biểu diễn ở Hình 3(a) và Hình 5(a). Kết quả là hai diode  $D_1$  và  $D_3$  thỏa mãn điều kiện dẫn. Trong khi đó các diode  $D_2, D_4$  không thỏa mãn điều kiện dẫn. Năng lượng trong cuộn dây  $L_1$  được tích lũy bởi các phần tử công suất như  $T_2, S_{x1}, S_{x2}, D_1, D_3$ .

#### 2.1.2.2. Chế độ ngắn mạch nửa dưới

Chế độ LST: Khóa công suất bên phía mạng nguồn kháng  $T_1$  và hai khóa công suất bên phía nghịch lưu  $S_{x2}$  và  $S_{x3}$  được kích đóng đồng thời như biểu diễn ở hình 3(b) và Hình 5(a). Kết quả là diode  $D_1$  và  $D_3$  không thỏa mãn điều kiện dẫn. Trong khi đó các diode  $D_2, D_4$  thỏa mãn điều kiện dẫn. Năng lượng trong cuộn dây  $L_1$  được tích lũy bởi các phần tử công suất như  $T_1, S_{x2}, S_{x3}, D_2, D_4$ .

Thời gian ngắn mạch nửa trên và nửa dưới là  $D_0T$ . Điện áp stress của cuộn dây  $L_1$  được xác định như hệ thức (5):

$$L_1 \frac{di_L}{dt} = V_{dc} \quad \& \quad C_1 \frac{dv_c}{dt} = C_2 \frac{dv_c}{dt} = 0. \quad (5)$$

## 2.2. Phân tích chế độ ổn định

Trong một chu kỳ chuyển mạch, thời gian chuyển mạch của chế độ NST1 là  $(d_1 - D_0) \cdot T/2$ . Khoảng thời gian tác dụng của chế độ NST2 là  $(d_2 - D_0) \cdot T/2$ . Khoảng thời gian tác dụng của trạng thái NST4 và UST, LST là  $D_0T$ . Vì thế, thời gian chuyển mạch của trạng thái NST3 có thể xác định là  $(1 - D_0 - d_1/2 - d_2/2) \cdot T$ .

Với  $d_1, d_2$  là thời gian đóng của hai khóa chuyển mạch mạng nguồn kháng  $T_1$  và  $T_2$  mà chúng được tạo ra bởi hằng số điện áp  $V_{con}$ .  $D_0$  là thời gian đóng của nghịch lưu hình T.

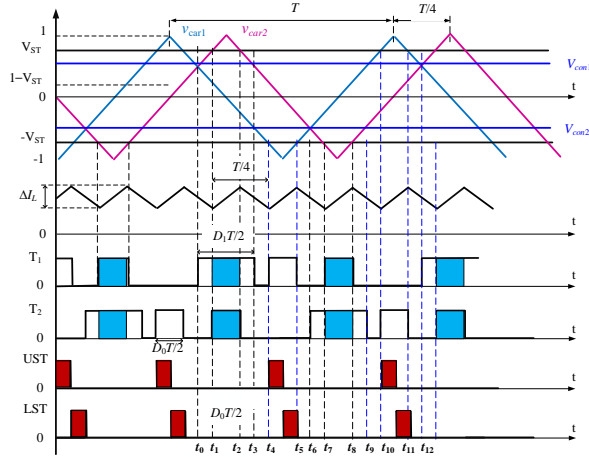
Giả sử rằng, điện dung của tụ C đủ lớn để điện áp stress trên tụ C là không đổi, điện áp trên tụ của 3L-qSBT<sup>2</sup>I-RTHD có thể tính toán như sau:

$$V_c = V_{c1} = V_{c2} = \frac{V_{dc}}{2 - 3D_0 - D_1} \quad (6)$$

Điện áp pha đỉnh của đầu ra bộ nghịch lưu được tính toán như sau:

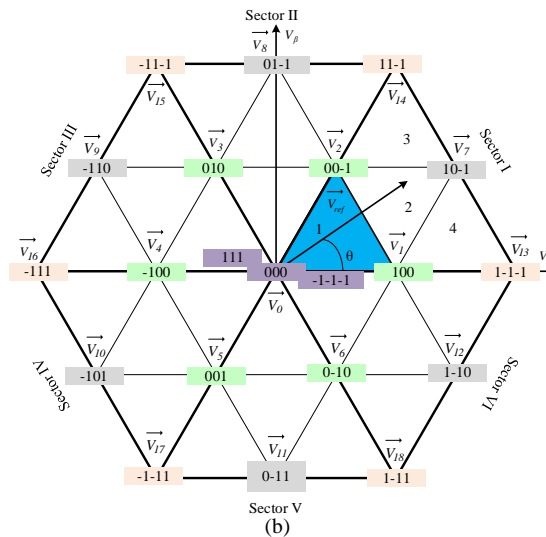
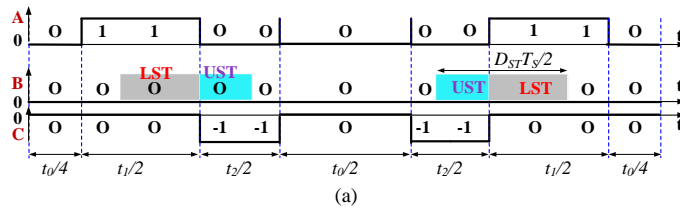
$$\hat{V}_x = \frac{2}{\sqrt{3}} \cdot \frac{M \cdot V_{PN}}{2} = \frac{2}{\sqrt{3}} \cdot \frac{M}{2 - 3D_0 - D_1} V_{dc} \quad (7)$$

Trong đó M là chỉ số điều chế của bộ chuyển đổi.



Hình 4. Phương pháp điều khiển tăng áp cho mạng nguồn kháng

### 2.3. Kỹ thuật điều khiển SVPWM để xuất cho qSBT<sup>2</sup>I-RTHD.



Hình 5. (a) Sơ đồ chuỗi xung để xuất; (b) Sơ đồ vector không gian cho nghịch lưu 3 bậc

Hình 5(b) có 27 trạng thái chuyển mạch (vector), trong đó có [3 vector zero], [12 vector nhỏ], [6 vector trung bình] và [6 vector lớn]. Trong Hình 5 chia thành sáu sector (sectors I–VI). Trong mỗi sector được chia thành 4 vùng và vector  $\vec{V}_{ref}$  được tọa lạc bên trong bốn vùng đó. Tương tự phương pháp điều chế vector không gian truyền thống. Vector tham chiếu được tổng hợp bởi ba vector gần nhất từ vị trí của vector tham chiếu.

Giả sử vector tham chiếu nằm ở vùng 1 của sector I. Kết quả, ba vector  $\vec{V}_1, \vec{V}_2, \vec{V}_0$  được sử dụng để tạo vector điện áp đầu ra. Mỗi quan hệ được trình bày bởi phương trình sau:

$$\begin{cases} \vec{V}_{ref} \cdot T_s = \vec{V}_1 t_1 + \vec{V}_2 t_2 + \vec{V}_0 t_0 \\ T_s = t_1 + t_2 + t_0 \end{cases} \quad (8)$$

Với  $\vec{V}_{ref}$ : vector điện áp đầu ra;

$\vec{V}_0$ : vector zero;  $\vec{V}_1, \vec{V}_2$ : vectors điện áp nhỏ;  $T_s$ : chu kỳ lấy mẫu; và  $t_0, t_1, t_2$ : thời gian tác dụng của  $\vec{V}_0, \vec{V}_1$  và  $\vec{V}_2$ .

Trong đó, các vector điện áp  $\vec{V}_1, \vec{V}_2, \vec{V}_0, \vec{V}_{ref}$  được biểu diễn như sau:

$$\begin{cases} \vec{V}_{ref} = MV_{PN} / \sqrt{3} e^{j\theta} \\ \vec{V}_1 = V_{PN} / 3 e^{j0} \\ \vec{V}_2 = V_{PN} / 3 e^{j\pi/3} \\ \vec{V}_0 = 0 \cdot V_{PN} / 3 e^{j0} \vec{V}_2 = V_{PN} / 3 e^{j\pi/3} \end{cases} \quad (9)$$

Trong đó M là chỉ số điều chế của bộ chuyển đổi.

**Bảng 2.** Trạng thái chuỗi xung đề xuất

Sector	Khu vực	Chuỗi xung
I	1	[000]-[100]-[1L0]-[0U-1]-[00-1]-[000] quay lại
	2	[10-1]-[100]-[1L0]-[0U-1]-[00-1]-[10-1] quay lại
	3	[11-1]-[10-1]-[00-1]-[0U-1]-[00-1]-[10-1]-[11-1] quay lại
	4	[1-1-1]-[10-1]-[100]-[1L0]-[100]-[10-1]-[1-1-1] quay lại
II	1	[000]-[010]-[L10]-[U0-1]-[00-1]-[000] quay lại
	2	[01-1]-[010]-[L10]-[U0-1]-[00-1]-[01-1] quay lại
	3	[-11-1]-[01-1]-[010]-[L10]-[010]-[01-1]-[-11-1] quay lại
	4	[11-1]-[01-1]-[00-1]-[U0-1]-[00-1]-[01-1]-[11-1] quay lại
III	1	[000]-[010]-[01L]-[-10U]-[-100]-[000] quay lại
	2	[-110]-[010]-[01L]-[-10U]-[-100]-[-110] quay lại
	3	[-111]-[-110]-[-100]-[-10U]-[-100]-[-110]-[-111] quay lại
	4	[-11-1]-[-110]-[010]-[01L]-[010]-[-110]-[-11-1] quay lại
IV	1	[000]-[001]-[0L1]-[-1U0]-[-100]-[000] quay lại
	2	[-101]-[001]-[0L1]-[-1U0]-[-100]-[-101] quay lại
	3	[-1-11]-[-101]-[001]-[0L1]-[001]-[-101]-[-1-11] quay lại
	4	[-111]-[-101]-[-100]-[-1U0]-[-100]-[-101]-[-111] quay lại
V	1	[000]-[001]-[L01]-[U-10]-[0-10]-[000] quay lại
	2	[0-11]-[001]-[L01]-[U-10]-[0-10]-[0-11] quay lại
	3	[1-11]-[0-11]-[0-10]-[U-10]-[0-10]-[0-11]-[1-11] quay lại
	4	[-1-11]-[0-11]-[001]-[L01]-[001]-[0-11]-[-1-11] quay lại
VI	1	[000]-[100]-[10L]-[0-1U]-[0-10]-[000] quay lại
	2	[1-10]-[100]-[10L]-[0-1U]-[0-10]-[1-10] quay lại
	3	[1-1-1]-[1-10]-[100]-[10L]-[100]-[1-10]-[1-1-1] quay lại
	4	[1-11]-[1-10]-[0-10]-[0-1U]-[0-10]-[1-10]-[1-11] quay lại

Thế hệ thức (9) vào hệ thức (8), thời gian tồn tại của  $\vec{V}_0, \vec{V}_1, \vec{V}_2$  được tính toán:

$$\begin{cases} t_1 = 2MT_s \sin(\pi/3 - \theta) - T_s \\ t_2 = T_s - 2MT_s \sin(\theta) \\ t_0 = T_s - 2MT_s \sin(\pi/3 + \theta) \end{cases} \quad (10)$$

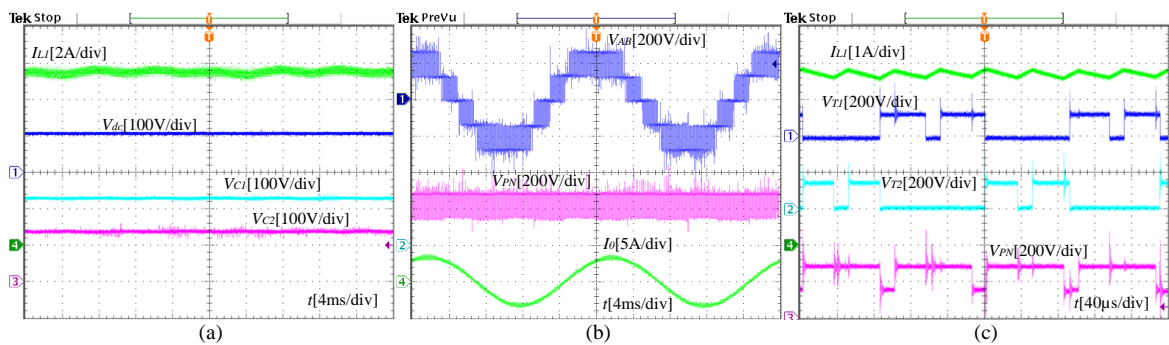
Trong một chu kỳ ngắn mạch các khóa chuyển mạch phía hình T được kích đồng đồng thời. Việc kích đồng như vậy còn gọi là chèn xung ngắn mạch đồng thời (FST). Tuy nhiên việc sắp xếp xung ngắn mạch đồng thời sẽ xuất hiện biên độ cao của tần số thấp dòng điện cuộn dây xuất hiện. Vì vậy, trong bài báo này nhóm tác giả đề xuất chuỗi xung đồng ngắt cho sector I, khu vực 1 như: [10-1]-[100]-[00-1]-[10-1] và ngược lại như trình bày ở Hình 5(a). Chế độ ngắn mạch nửa trên và nửa dưới được chèn vào vector nhỏ dạng N (N-type) [00]-[1] và dạng P (P-type) [100], lúc này cả hai vector điện áp của pha B đều ở giá trị zero. Kết quả, kế hoạch chèn chuỗi xung như trên không những giảm chuyển mạch mà còn không ảnh hưởng đến chất lượng đầu ra.

### 3. Kết quả thử nghiệm

Nhóm tác giả thử nghiệm với sự hỗ trợ của mô hình thử nghiệm với các thông số sau:

**Bảng 3.** Các thông số thử nghiệm của 3L-qSBT<sup>2</sup>I-RTHD

Thông số các thành phần		Giá trị
Điện áp đầu vào	$V_{dc}$	100V
Điện áp đầu ra	$V_o$	110V
Tần số đầu ra	$f_o$	50 Hz
Tần số sóng mang	$f_s$	5 kHz
Tỉ số ngắn mạch của mạng nguồn kháng	$D_1$	0.84
Tỉ số ngắn mạch của nghịch lưu hình T	$D_0$	0.16
Chi số điều chế	$M$	0.92
Điện cảm	$L$	3 mH/20 A
Tụ điện	$C_2 = C_3$	2000 $\mu$ F/400 V
Mạch lọc LC	$L_f$ và $C_f$	3 mH và 10 $\mu$ F
Tải trở	$R_t$	40 $\Omega$

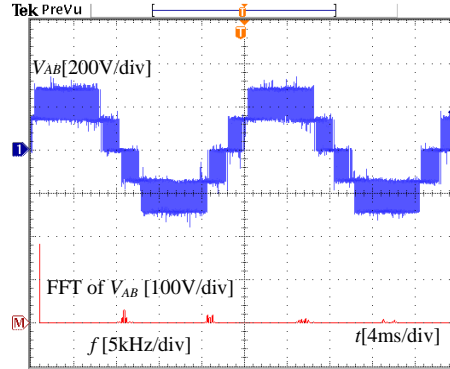


**Hình 6.** Kết quả thử nghiệm dạng sóng điện áp của 3L-qSBT<sup>2</sup>I-RTHD: (a) Dòng điện của cuộn dây tăng áp,  $I_{L1}$ , điện áp đầu vào,  $V_{dc}$ , điện áp trên tụ,  $V_{C1}$  và  $V_{C2}$ ; (b) điện áp dây đầu ra,  $V_{AB}$ ; điện áp DC-link,  $V_{PN}$  và dòng điện đầu ra,  $I_o$ ; (c) Dòng điện cuộn dây tăng áp,  $I_{L1}$ , điện áp trên khóa công suất,  $V_{T1}$  và  $V_{T2}$  và điện áp DC-link,  $V_{PN}$  khi điện áp đầu vào 100V.

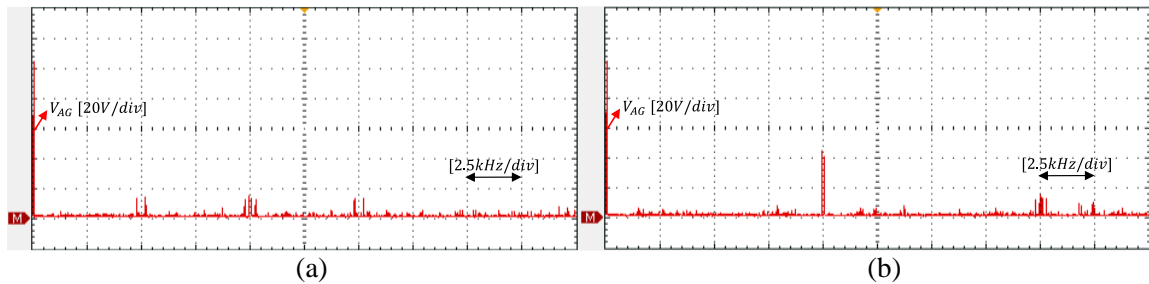
Khi điện áp đầu vào là 100V. Quan sát từ trên xuống dưới, dòng điện đầu vào liên tục, trị trung bình dòng điện là 9.4A. Như biểu diễn ở Hình 6(a), điện áp stress của hai tụ điện  $C_1$  và  $C_2$  được tăng áp lên 127V. Điện áp dây đầu ra có năm bậc, đỉnh của điện áp dây là 254V, điện áp DC-link là tổng điện áp của hai tụ  $C_1$  và  $C_2$  bằng 254V, dòng điện đầu ra được lọc có dạng tín hiệu hình sin, trị hiệu dụng của dòng điện đầu ra là 2.5A, như trình bày ở Hình 6(b). Hình 6(c) trình bày kết quả dạng sóng dòng điện

đầu vào ở tần số thấp. Như trình bày ở Hình 6(c), tần số của cuộn dây tăng áp cao gấp bốn lần so với tần số sóng mang, điện áp stress của hai khóa chuyển mạch mạng nguồn kháng  $T_1$  và  $T_2$  xấp xỉ 127V, điện áp DC-link là 254V.

Hình 7 biểu diễn phổ FFT của dòng điện đầu ra  $I_0$  dựa vào phổ này giá trị THD của điện áp dây có thể tính toán là 58.9%.



**Hình 7.** Dạng sóng tín hiệu phổ FFT của dòng điện đầu ra.



**Hình 8.** Dạng sóng tín hiệu phổ FFT của dòng điện đầu ra, (a) tín hiệu phổ điện áp pha đầu ra của bài báo đề xuất; (b) tín hiệu phổ điện áp pha đầu ra của bài báo [8].

Hình 8 trình bày phổ FFT của bài báo đề xuất và bài báo [8]. Dựa vào tín hiệu phổ của điện áp pha đầu ra có thể tính toán THD của bài báo đề xuất và bài báo [8] lần lượt là 57.62% và 81.25%.

#### 4. Kết luận

Nghịch lưu tăng áp một chặng 3 bậc hình T và giải thuật vector không gian đề xuất được trình bày trong bài báo này. Tính năng chính của kỹ thuật vector không gian cho bộ chuyển đổi tăng áp một chặng 3 bậc hình T là: 1) giảm THD xuống 23.6%, 2) duy trì độ gọn dòng điện của cuộn dây tăng áp và 3) chỉ số điều chế cao hơn so với nghiên cứu [8].

Phân tích nguyên lý hoạt động cho cấu hình 3L-qSBT<sup>2</sup>I-RTHD phù hợp với cơ sở lý thuyết. Kết quả thử nghiệm sẽ so sánh với cơ sở lý thuyết để làm nổi bật giải thuật đề xuất.

#### Lời cảm ơn

Bài báo này được thực hiện tại phòng thí nghiệm điện tử công suất nâng cao D405 với sự hỗ trợ của dự án thuộc năm 2023 của Trường Đại học Sư phạm Kỹ thuật Thành phố Hồ Chí Minh.

#### Danh mục từ viết tắt

3L	Three level
PWM	Pulse Width Modulation
SVM	Space Vector Modulation
qSB	Quasi-Switched-Boost

qZSI	Quasi-Z-Source Inverter
SPWM	Sine Pulse Width Modulation
T <sup>2</sup> I	T-Type inverter
ST	Shoot Through
NST	Non Shoot Through
THD	Total harmonic distortion

### TÀI LIỆU THAM KHẢO

- [1] A. Comacchio *et al.*, "Asymmetric Digital Dual-Edge Modulator For Dynamic Performance Improvement Of Multi-Loop Controlled VSI," *IEEE Transactions on Industrial Electronics*, Early Access, Jul. 2022.
- [2] G. Buticchi *et al.*, "A nine-level grid-connected converter topology for single-phase transformerless PV systems," *IEEE Transactions on Industrial Electronics*, vol. 61, no. 8, pp. 3951-3960, Aug. 2014.
- [3] D. T. Do, "A Single-Stage Neutral Point Clamp Inverter with Reduced Voltage Stresses on Power Elements," *Measurement, Control, and Automation*, vol. 2, no. 2, pp. 24-31, 2021.
- [4] P. C. Loh *et al.*, "Autonomous control of interlinking converter with energy storage in hybrid ac-dc microgrid," *IEEE Transactions on Industrial Applications*, vol. 49, no. 3, pp. 1374-1382, May/Jun. 2013.
- [5] M. Li *et al.*, "New Modulation for Z-Source Inverters With Optimized Arrangement of Shoot-Through State for Inductor Volume Reduction," *IEEE Transactions on Power Electronics*, vol. 37, no. 3, pp. 2573 - 2582, Mar. 2022.
- [6] D. T. Do *et al.*, "An DPWM for Active DC-Link Type Quasi-Z-Source Inverter to Reduce Component Voltage Rating," *Energies*, vol. 15, no. 13, 4889, 2022.
- [7] L. H. Linh *et al.*, "3-phase 3-stage T-shaped inverter with fault tolerance," (in Vietnamese), *Digital Science Magazine*, no. 54, pp. 50-57, 2019.
- [8] D. T. Do *et al.*, "Three-Level Quasi-Switched Boost T-Type Inverter: Analysis, PWM Control, and Verification," *IEEE Transactions on Industrial Electronics*, vol. 65, no. 10, pp. 8320-8329, 2018.
- [9] D. T. Do *et al.*, "Enhanced Boost Factor for Three-Level Quasi- Switched Boost T-Type Inverter," *Energies*, vol. 14, no. 13, pp. 1-17, 2021.
- [10] D. T. Do *et al.*, "A PWM Scheme for a Fault-Tolerant Three-Level Quasi-Switched Boost T-Type Inverter," *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 8, pp. 3029-3040, 2019.
- [11] D. T. Do *et al.*, "Fault Tolerant Control Methods for Three-Level Boost T-Type Inverter," *IEEE Transactions on Industrial Electronics*, Early Access, Aug. 2022.
- [12] C. Qin *et al.*, "A Space Vector Modulation Scheme of the Quasi-Z-Source Three-Level T-Type Inverter for Common-Mode Voltage Reduction," *IEEE Transactions on Industrial Electronics*, vol. 65, no. 10, pp. 8340-8350, Oct. 2018.
- [13] L. V. Tai *et al.*, "Improved space vector technique for three-step T-shaped inverter to reduce Common Mode voltage," (in Vietnamese), *Scientific and technical magazine*, no. 54, pp. 58-66, 2019.
- [14] D. T. Do *et al.*, "Common Mode Voltage Elimination for Quasi-Switch Boost T-Type Inverter Based on SVM Technique," *Electronics*, vol. 9, no. 1, pp. 1-16, 2020.



Duc-Tri Do was born in Vietnam in 1973. He received the B.S., M.S. and Ph.D degrees in electronic engineering from the Ho Chi Minh City University of Technology and Education, Ho Chi Minh City, Vietnam, in 1999, 2012 and 2021, respectively. He is currently a Lecturer with the Faculty of Electrical and Electronics Engineering, Ho Chi Minh City University of Technology and Education. His current research interests include power converters for renewable energy systems. Email: [tridd@hcmute.edu.vn](mailto:tridd@hcmute.edu.vn)



Le-Huy-Tran was born in Vietnam in 1989. I received a degree in Electrical engineering from the Ho Chi Minh City University of Food Industry, Ho Chi Minh City, Vietnam, in 2020. Currently, I am an engineer of Intel Products Viet Nam CO., LTD. My current research interests include power loss calculations, renewable energy systems. Email: [tranlehuy0501@gmail.com](mailto:tranlehuy0501@gmail.com)



Van Tan Luong was born in Vietnam. He received the B.Sc. and M.Sc. degrees in electrical engineering from Ho Chi Minh City University of Technology, Ho Chi Minh city, Vietnam, in 2003 and 2005, respectively, and Ph.D. degree in electrical engineering from Yeungnam University, Gyeongsan, South Korea in 2013. Currently, he is working at Department of Electrical and Electronics Engineering, Ho Chi Minh city University of Food Industry. His research interests include power converters, machine drives, wind power generation, power quality and power system. Email: [luongvt@hufi.edu.vn](mailto:luongvt@hufi.edu.vn).



Hoang Minh Le was born in Vietnam in 1974. She received the B.S., M.S. and PhD in electronic engineering from the Ho Chi Minh City University of Technology and Education, Ho Chi Minh city, Vietnam in 2000, University of Technology Vietnam national University-Ho Chi Minh City in 2004, University of Science Vietnam national University-Ho Chi Minh City 2018, respectively. She is currently a Lecturer with the Faculty of Electrical and Electronics Engineering Ho Chi Minh City University of Technology and Education. Her new current research interests include power converters for renewable energy systems. Email: [minhhlh@hcmute.edu.vn](mailto:minhhlh@hcmute.edu.vn)