

Common-Mode Voltage Reduction Control Method With Offset Voltage Function for Five-Level Inverter

The Manh Dinh^{ORCID}, Minh Duc Pham^{ORCID}, Duc Hung Nguyen^{ORCID*}

Ho Chi Minh City University of Technology, VNU-HCM, Vietnam

*Corresponding author. Email: hungnd@hcmut.edu.vn

ARTICLE INFO

Received: 20/01/2025
Revised: 10/02/2025
Accepted: 31/03/2025
Published: 28/08/2025

KEYWORDS

Common-mode voltage;
Multilevel NPC inverter;
DPWM technique;
Offset voltage function;
Simulation.

ABSTRACT

High Common Mode Voltage (CMV) is recognized as the primary cause of a range of operational issues including leakage current, accelerated bearing wear, electromagnetic interference, and an overall decline in both the performance and reliability of drive devices. Numerous studies have concentrated on mitigating the effects of CMV through various modulation techniques, such as space vector modulation, which have been widely researched. However, these techniques typically require a significant amount of computational effort and impose high control complexities on the system. In this study, an innovative approach is proposed to reduce CMV in a five-level Neutral Point Clamped (NPC) inverter by utilizing a discontinuous carrier Pulse Width Modulation (DPWM) technique enhanced with an offset voltage function. This DPWM method simplifies the computational process by incorporating an offset voltage function—calculated based on specific conditions for CMV reduction—directly into the modulation signal. The switching states of the semiconductor devices are then determined through a comparative analysis between the modulation signal and a high-frequency carrier waveform. The effectiveness of this method is conclusively demonstrated through simulation results, thereby highlighting its potential to improve both the operational efficiency and reliability of drive systems.

Phương pháp điều khiển giảm điện áp Common Mode với hàm điện áp Offset cho bộ nghịch lưu năm bậc

Đinh Thế Mạnh^{ORCID}, Phạm Minh Đức^{ORCID}, Nguyễn Đức Hưng^{ORCID*}

Trường Đại học Bách khoa, Đại học Quốc gia Thành phố Hồ Chí Minh, Việt Nam

*Tác giả liên hệ. Email: hungnd@hcmut.edu.vn

THÔNG TIN BÀI BÁO

Ngày nhận bài: 20/01/2025
Ngày hoàn thiện: 10/02/2025
Ngày chấp nhận đăng: 31/03/2025
Ngày đăng: 28/08/2025

TỪ KHÓA

Điện áp common mode;
Bộ nghịch lưu NPC đa bậc;
Kỹ thuật DPWM;
Hàm điện áp offset;
Mô phỏng.

TÓM TẮT

Điện áp Common Mode (CMV) cao là nguyên nhân chính gây ra nhiều vấn đề như dòng rò, hao mòn ổ bi, nhiễu điện từ và suy giảm hiệu suất cũng như độ tin cậy của các thiết bị truyền động. Nhiều nghiên cứu đã áp dụng các kỹ thuật điều chế như điều chế vector không gian nhằm giảm thiểu CMV, tuy nhiên những phương pháp này thường đòi hỏi khối lượng tính toán lớn và điều khiển phức tạp. Trong nghiên cứu này, một phương pháp được đề xuất nhằm giảm CMV cho bộ biến tần NPC năm bậc bằng cách sử dụng kỹ thuật điều chế độ rộng xung sóng mang không liên tục (DPWM) kết hợp với hàm điện áp offset. Phương pháp này tích hợp trực tiếp hàm offset – được tính dựa trên các điều kiện cụ thể để giảm CMV – vào tín hiệu điều chế, từ đó đơn giản hoá quá trình tính toán. Các trạng thái chuyển mạch của các thiết bị bán dẫn được xác định thông qua việc so sánh tín hiệu điều chế với dạng sóng mang tần số cao. Kết quả mô phỏng cho thấy hiệu quả của phương pháp này, mở ra triển vọng cải thiện đáng kể hiệu suất và độ tin cậy của hệ thống truyền động.

Doi: <https://doi.org/10.54644/jte.2025.1810>

Copyright © JTE. This is an open access article distributed under the terms and conditions of the [Creative Commons Attribution-NonCommercial 4.0 International License](https://creativecommons.org/licenses/by-nc/4.0/) which permits unrestricted use, distribution, and reproduction in any medium for non-commercial purpose, provided the original work is properly cited.

1. Giới thiệu

Bộ nghịch lưu (BNL) đa bậc ngày càng nhận được sự quan tâm đặc biệt nhờ tiềm năng vượt trội trong các ứng dụng điện tử công suất. Những cải tiến xoay quanh BNL đa bậc không chỉ mở ra cơ hội phát triển các hệ thống truyền động tiên tiến, bộ biến đổi trong xe điện mà còn góp phần cải thiện hiệu suất của các nguồn năng lượng tái tạo. Với cấu hình phức tạp hơn so với BNL hai bậc, BNL đa bậc mang lại phổ điện áp mượt mà hơn, giảm méo dạng sóng hài và CMV, từ đó đáp ứng tốt các yêu cầu của hệ thống điện áp cao và công suất lớn.

Việc phát triển cấu trúc và phương pháp điều khiển cho BNL đa bậc cho phép tối ưu hóa hiệu năng của các hệ thống truyền động. Với khả năng cải thiện chất lượng sóng hài, BNL đa bậc đã trở thành giải pháp thay thế hiệu quả, khắc phục hạn chế của BNL hai bậc [1]-[2]. Mặc dù có nhiều ưu điểm, BNL đa bậc vẫn gặp một số khuyết điểm, đặc biệt là vấn đề điện áp Common Mode (CMV). CMV được định nghĩa là sự chênh lệch điện áp giữa điểm trung tính tải và điểm giữa nguồn một chiều (DC).

Mặc dù CMV trong BNL đa bậc thấp hơn so với BNL hai bậc, nó vẫn tồn tại và có thể làm hao mòn ổ trục và gây nhiễu điện từ (EMI) [3]-[4]. Trong cấu hình BNL NPC đa bậc, CMV nhỏ hơn so với BNL hai bậc [5], tuy nhiên giá trị vẫn đủ lớn để gây ra các vấn đề trên. Do đó, việc kiểm soát và giảm thiểu CMV trở thành mục tiêu quan trọng trong các bộ truyền động động cơ xoay chiều (AC).

Nhiều nghiên cứu đã tập trung vào việc giảm CMV với hai hướng giải pháp chính: phần cứng [4] và phần mềm. Đối với phần mềm, các phương pháp điều chế dựa trên kỹ thuật vector không gian và sóng mang đã được triển khai. Kỹ thuật điều chế xung đồng pha (PDPWM) và Kỹ thuật điều chế xung ngược pha (PODPWM) là hai kỹ thuật điều chế sóng mang điển hình trong việc giảm CMV [6]-[7]. Tuy nhiên, kỹ thuật vector không gian dù hiệu quả nhưng có khối lượng tính toán lớn và độ phức tạp khi điều khiển [8].

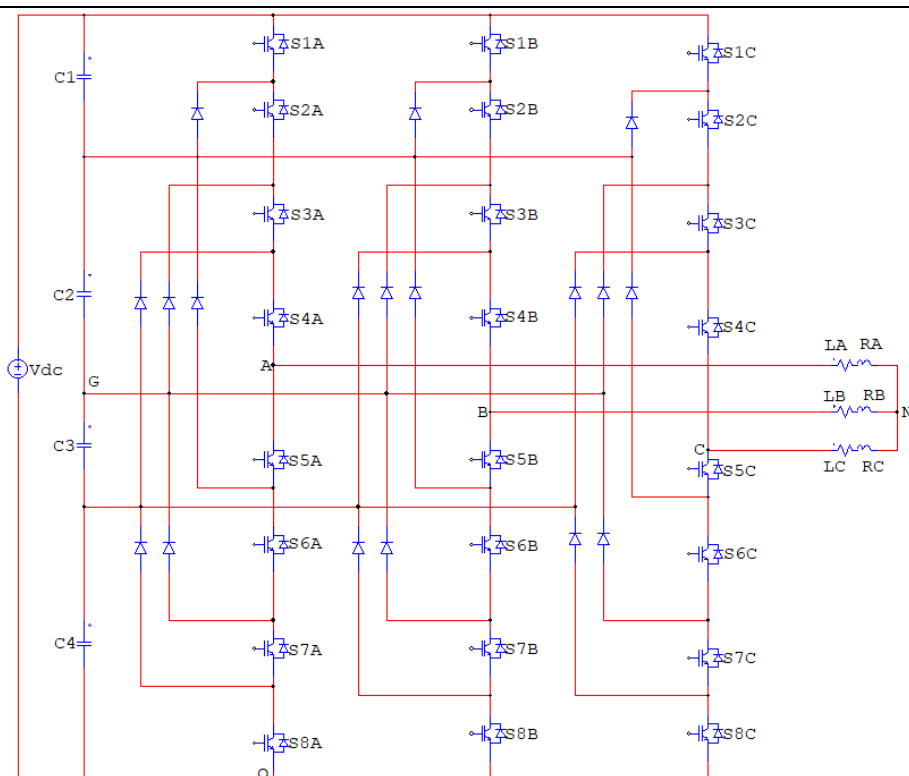
Nghiên cứu này đề xuất một phương pháp ứng dụng kỹ thuật DPWM có tích hợp hàm điện áp offset để giảm CMV. Hàm offset này được tính toán bằng việc lựa chọn các vector đỉnh có khả năng giảm CMV trong giản đồ hình lục giác của vector không gian. Tín hiệu điều chế ban đầu được cộng thêm hàm offset này nhằm tạo ra tín hiệu điều chế mới với khả năng giảm CMV hiệu quả. Bên cạnh đó, phương pháp đề xuất giúp giảm đáng kể khối lượng tính toán so với phương pháp vector không gian truyền thống cho phép hệ thống sử dụng vi điều khiển phổ thông với tốc độ xử lý thấp hơn mà vẫn đảm bảo hiệu suất, điều này đặc biệt hữu ích trong các ứng dụng như điều khiển xe điện, bộ nghịch lưu nối lưới và hệ thống truyền động công suất lớn, những ứng dụng cần thời gian tính toán nhanh giúp tăng độ ổn định và giảm độ trễ phản hồi.

2. Phân tích CMV và đề xuất phương pháp điều khiển giảm điện áp common mode với hàm điện áp offset

2.1. Cấu trúc của bộ nghịch lưu NPC năm bậc

Cấu tạo BNL NPC năm bậc gồm ba nhánh với các linh kiện bán dẫn. Trong mỗi nhánh, 4 công tắc bán dẫn nối từ ngõ ra của tải đến cực dương của nguồn DC gọi là bộ khóa trên (kí hiệu S_{1X} , S_{2X} , S_{3X} , S_{4X}), bốn khóa còn lại gọi là bộ khóa dưới (ký hiệu S_{5X} , S_{6X} , S_{7X} , S_{8X}) và sáu diode chia thành ba cặp kết nối điểm giữa của điện áp DC (với $X=A,B,C$) như Hình 1.

Nguồn DC cung cấp cho BNL có độ lớn V_{dc} được chia đều thành các điện áp nhỏ hơn nhờ vào bốn tụ điện mắc nối tiếp. Nếu các tụ điện có điện dung như nhau thì điện áp trên mỗi tụ điện là $V_{dc}/4$. Mỗi cặp diode nối với điểm giữa 2 tụ điện gọi là cặp diode kẹp. Các cặp diode này tạo điều kiện cho quá trình truyền tải công suất giữa nguồn DC và tải AC, hạn chế hiện tượng dòng chạy ngược phát sinh khi ngắt các khóa. Cấu trúc BNL NPC năm bậc ứng dụng thực tế tốt hơn hơn so với các BNL năm bậc khác nên thường được sử dụng rộng rãi trong các ứng dụng truyền động, nối lưới [1]-[2].



Hình 1. Cấu trúc BNL NPC năm bậc

Ký hiệu trạng thái hoạt động của các khóa là S_{jX} , trong đó 1 là tín hiệu đóng khóa, 0 là tín hiệu ngắt khóa với $X = A, B, C$ và $j = 1 \div 4$. Các cặp khóa cùng vị trí tại nhóm trên và nhóm dưới luôn duy trì trạng thái hoạt động đối lập, cụ thể: $S_{1X} + S_{5X} = 1$, tương tự các cặp S_{2X} và S_{6X} , S_{3X} và S_{7X} , S_{4X} và S_{8X} . Các trạng thái đóng ngắt của các khóa và điện áp đầu ra của BNL NPC năm bậc trong Bảng 1.

Bảng 1. Bảng giá trị điện áp đầu ra của BNL theo trạng thái đóng ngắt khóa

S_X	Trạng thái đóng ngắt				V_{XO}
	S_{1X}	S_{2X}	S_{3X}	S_{4X}	
0	0	0	0	0	0
1	0	0	0	1	$V_{dc}/4$
2	0	0	1	1	$V_{dc}/2$
3	0	1	1	1	$3V_{dc}/4$
4	1	1	1	1	V_{dc}

Như vậy, công thức tổng quát của điện áp V_{XO} ($X = A, B, C$) có thể được suy luận như sau:

$$V_{XO} = S_X * V_{dc} / 4 \quad (1)$$

2.2. Điện áp Common Mode

CMV của BNL NPC năm bậc là điện áp giữa điểm trung tính của tải và điểm trung tính của nguồn DC. CMV được xác định dựa trên các phương trình [9]:

$$V_{AG} = V_{AO} - V_{GO} = V_{AO} + V_{NG} - V_{NO} \quad (2)$$

$$V_{BG} = V_{BO} - V_{GO} = V_{BO} + V_{NG} - V_{NO} \quad (3)$$

$$V_{CG} = V_{CO} - V_{GO} = V_{CO} + V_{NG} - V_{NO} \quad (4)$$

Với tải ba pha cân bằng, thay (1) vào hệ, cộng ba phương trình (2), (3), (4), ta suy ra:

$$V_{COM} = V_{NG} = \left(\frac{S_A + S_B + S_C}{12} - \frac{1}{2} \right) V_{dc} \quad (5)$$

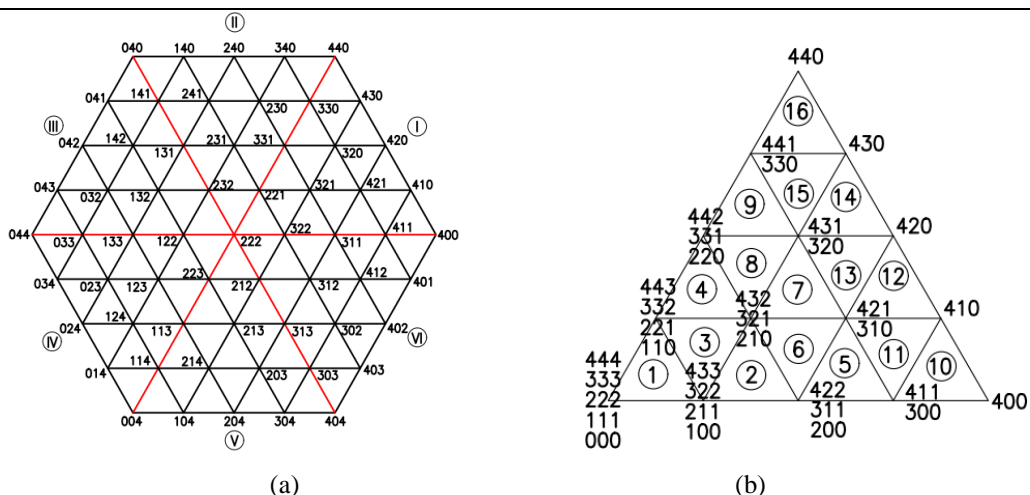
Bảng 2. Bảng giá trị CMV theo tổ hợp trạng thái đóng ngắt khóa

$S_A + S_B + S_C$	Trạng thái đóng ngắt $S_A S_B S_C$	Giá trị CMV
0	000	$-V_{dc}/2$
1	001; 010; 100	$-5V_{dc}/12$
2	002; 011; 020; 101; 110; 200	$-V_{dc}/3$
3	003; 012; 021; 030; 102; 111; 120; 201; 210; 300	$-V_{dc}/4$
4	004; 013; 022; 031; 040; 103; 112; 121; 130; 202; 211; 220; 301; 310; 400	$-V_{dc}/6$
5	014; 023; 032; 041; 104; 113; 122; 131; 140; 203; 212; 221; 230; 302; 311; 320; 401; 410	$-V_{dc}/12$
6	024; 033; 042; 114; 123; 132; 141; 204; 213; 222; 231; 240; 303; 312; 321; 330; 402; 411; 420	0
7	034; 043; 124; 133; 142; 214; 223; 232; 241; 304; 313; 322; 331; 340; 403; 412; 421; 430	$V_{dc}/12$
8	044; 134; 143; 224; 233; 242; 314; 323; 332; 341; 404; 413; 422; 431; 440	$V_{dc}/6$
9	144; 234; 243; 324; 333; 342; 414; 423; 432; 441	$V_{dc}/4$
10	244; 334; 343; 424; 433; 442	$V_{dc}/3$
11	344; 434; 443	$5V_{dc}/12$
12	444	$V_{dc}/2$

2.3. Giản đồ hình lục giác

Điều khiển đóng ngắt các công tắc bán dẫn trong các nhánh pha của BNL tạo ra điện áp ba pha, trong đó vector không gian có điện áp thay đổi theo từng bước nhảy trên giản đồ hình lục giác đa bậc như Hình 2. Đối với cấu trúc NPC ba bậc, có tổng cộng 125 trạng thái đóng ngắt khác nhau.

Hình 2 có thể được chia thành sáu tam giác đều lớn gọi là các section và có thứ tự từ I đến VI. Mỗi tam giác lớn được chia thành mười sáu tam giác nhỏ gọi là các region, ký hiệu từ 1 đến 16. Các region được tạo thành bởi các vector không gian như Hình 2. Theo Bảng 2, các trạng thái S_A, S_B, S_C có biên độ CMV nhỏ nhất (từ $-V_{dc}/12$ đến $V_{dc}/12$) bao gồm các trạng thái có tổng giá trị $(S_A + S_B + S_C)$ trong khoảng từ 5 đến 7. Các trạng thái có biên độ CMV nhỏ nhất được biểu diễn trên giản đồ hình lục giác và có trạng thái đóng ngắt tương ứng như Hình 2.



Hình 2. Giản đồ hình lục giác của không gian vector. (a). Các section; (b). Các region của section I

2.4. Tính toán hàm điện áp offset

Để đảm bảo giảm thiểu CMV một cách hiệu quả, hàm điện áp offset được sử dụng trong kỹ thuật DPWM cần được tính toán một cách chính xác. Phương pháp tính toán này dựa trên việc lựa chọn các vector điện áp có biên độ CMV nhỏ nhất.

Với mỗi vector điện áp cần điều chế, trước tiên cần xác định ba vector gần nhất trong giản đồ hình lục giác của vector không gian. Bộ trạng thái của các vector này được chọn dựa trên bảng giá trị CMV, trong đó các trạng thái có tổng $S_A + S_B + S_C$ nằm trong khoảng từ 5 đến 7 sẽ có giá trị CMV tối thiểu. Ví dụ, khi vector điện áp cần điều chế nằm trong region 1 - section I, bộ trạng thái các công tắc bán dẫn của ba vector gần nhất và có $S = \{5; 6; 7\}$ là 322; 222; 221. Nhằm tạo ra chuỗi trạng thái với tổn hao chuyển mạch là thấp nhất cho mỗi chu kỳ, chuỗi trạng thái đó chỉ có một nhánh chuyển trạng thái mỗi lần chuyển mạch. Như vậy, chuỗi trạng thái cho region 1 - section I có thể là 322 - 222 - 221 - 222 - 322.

Bảng 3. Bảng hàm điện áp offset theo section và region

Section Region	I	II	III	IV	V	VI	Tổng quát
1	2 - v_b	2 - v_a	2 - v_c	2 - v_b	2 - v_a	2 - v_c	2 - mid
2	3 - v_a	3 - v_b	3 - v_b	3 - v_c	3 - v_c	3 - v_a	3 - max
3	2 - v_b	2 - v_a	2 - v_c	2 - v_b	2 - v_a	2 - v_c	2 - mid
4	1 - v_c	1 - v_c	1 - v_a	1 - v_a	1 - v_b	1 - v_b	1 - min
5	1 - v_c	1 - v_c	1 - v_a	1 - v_a	1 - v_b	1 - v_b	1 - min
6	1 - v_c	1 - v_c	1 - v_a	1 - v_a	1 - v_b	1 - v_b	1 - min
7	2 - v_b	2 - v_a	2 - v_c	2 - v_b	2 - v_a	2 - v_c	2 - mid
8	3 - v_a	3 - v_b	3 - v_b	3 - v_c	3 - v_c	3 - v_a	3 - max
9	3 - v_a	3 - v_b	3 - v_b	3 - v_c	3 - v_c	3 - v_a	3 - max
10	4 - v_a	4 - v_b	4 - v_b	4 - v_c	4 - v_c	4 - v_a	4 - max
11	4 - v_a	4 - v_b	4 - v_b	4 - v_c	4 - v_c	4 - v_a	4 - max
12	4 - v_a	4 - v_b	4 - v_b	4 - v_c	4 - v_c	4 - v_a	4 - max
13	2 - v_b	2 - v_a	2 - v_c	2 - v_b	2 - v_a	2 - v_c	2 - mid

14	- v _c	- v _c	- v _a	- v _a	- v _b	- v _b	- min
15	- v _c	- v _c	- v _a	- v _a	- v _b	- v _b	- min
16	- v _c	- v _c	- v _a	- v _a	- v _b	- v _b	- min

Tín hiệu điều chế ban đầu được điều chỉnh bằng cách cộng thêm một hàm điện áp offset phù hợp, sao cho trạng thái chuyển mạch giữ nguyên các vector có CMV nhỏ nhất. Sau khi điều chỉnh, tín hiệu điều chế mới sẽ được sử dụng để điều khiển đóng ngắt các công tắc bán dẫn, đảm bảo trạng thái chuyển mạch tối ưu cho mục tiêu giảm CMV [10]-[11]. Công thức tổng quát của tín hiệu điều chế sau khi hiệu chỉnh được xác định như sau:

$$v_i^*(t) = v_i(t) + v_o(t) \quad (6)$$

Trong đó, $v_i(t)$ (với $i = A, B, C$) là tín hiệu điều chế ban đầu, $v_o(t)$ là hàm điện áp offset và $v_i^*(t)$ là tín hiệu điều chế sau khi hiệu chỉnh. Với ví dụ chuỗi trạng thái 322 - 222 - 221 - 222 - 322, tín hiệu S_b luôn là 2, ta có thể suy ra $v_b^* = 2$, v_o , v_a^* và v_c^* , và được tính toán như sau:

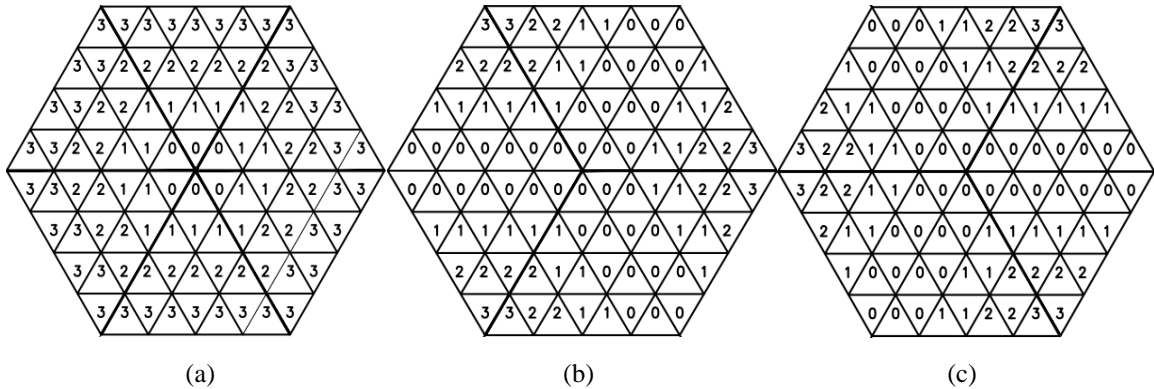
$$v_o = 2 - v_b \quad (7)$$

$$v_a^* = v_a + 2 - v_b \quad (8)$$

$$v_c^* = v_c + 2 - v_b \quad (9)$$

Thực hiện tương tự với các region và section khác, ta thu được Bảng 3. Trong đó, mid, max, và min được định nghĩa là giá trị $v_i(t)$ (với $i = A, B, C$) tại region và section đang xét. Ở dạng tổng quát, ta thấy hàm offset không còn phụ thuộc vào việc nhận diện section I – VI.

Đặt hàm Int là phép lấy phần nguyên của một số thực. Theo [11], cách xác định region được thể hiện trong Hình 3. Ví dụ, đối với region 16, ta có giá trị tương ứng của Int(Max-Min)=3, Int(Max-Mid)=0, và Int(Mid-Min)=3.



Hình 3. Giá trị các phương trình theo region. (a). Int(Max-Min); (b). Int(Max-Mid); (c). Int(Mid-Min)

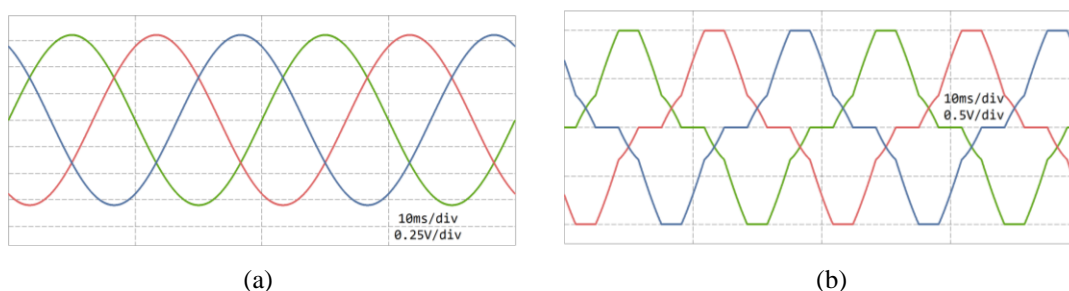
Để giúp người đọc dễ hiểu, giả sử cần tìm hàm điện áp offset để điều khiển các công tắc bán dẫn, đầu tiên vì xử lý tìm các giá trị max, mid và min, sau đó tính toán các giá trị Int của (max-min), (max-mid), (mid-min). Dựa vào những giá trị tính toán được có thể tìm ra region chứa vector điện áp cần điều chế, ví dụ với ba giá trị 0;0;0, có thể xác định vector điện áp đang nằm tại region 1, từ đó dựa vào Bảng 3 tìm hàm điện áp offset, với region là (2 - mid). Hàm offset này sau đó được bổ sung thêm vào tín hiệu điều chế, từ đó đảm bảo vừa có giới hạn giá trị của CMV vừa có thể điều chế chính xác.

3. Đánh giá phương pháp điều khiển giảm điện áp common mode thông qua mô phỏng

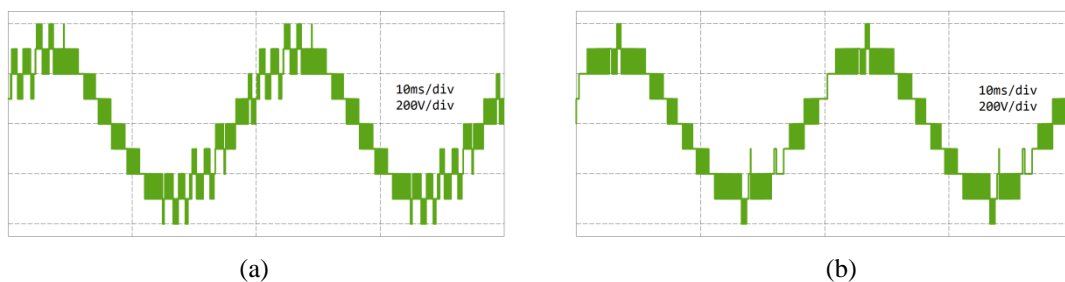
Để kiểm chứng hiệu quả của kỹ thuật PDPWM có hàm điện áp offset, quá trình mô phỏng được thực hiện trên phần mềm PSIM. Thông số các phần tử sử dụng trong mô phỏng được thiết lập như sau:

- + Điện áp nguồn DC $V_{dc} = 400V$;
- + Tải RL ba pha cân bằng $R = 12\Omega$; $L = 25mH$
- + Tần số đầu ra $f = 50Hz$;
- + Tần số sóng mang $f_{car} = 10kHz$

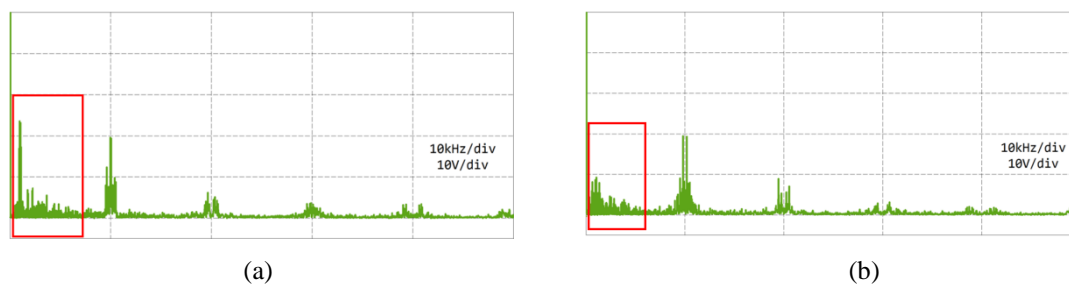
Mức điện áp nguồn 400VDC cũng là mức điện áp cao nhất ngõ ra (V_{dc} như thể hiện ở Bảng 1). Do đó, điện áp ngõ ra là phù hợp với đa số tải ba pha (0.4kV - 50Hz). Vì nghiên cứu tập trung vào giải thuật giảm CMV, điện áp trên các tụ được giả định là bằng nhau và điện áp lý tưởng cho mỗi tụ là 100V. Với tỷ số điều chế là 0.8, các giá trị điện áp của hệ thống được mô phỏng bằng PSIM và kết quả thể hiện trên Hình 4(a) và Hình 4(b) với trường hợp không có và có hàm offset.



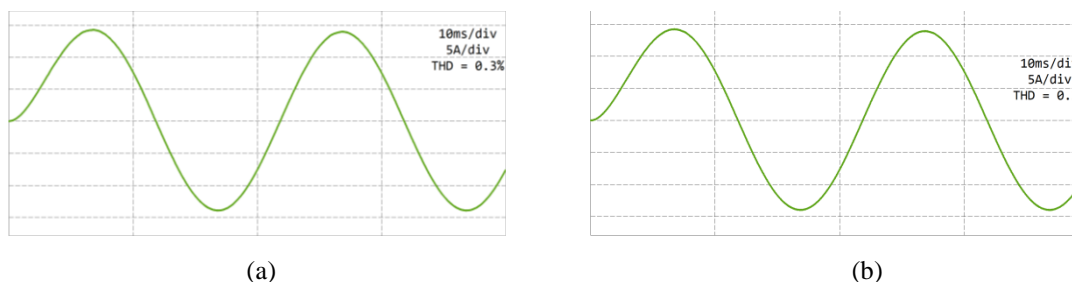
Hình 4. Tín hiệu điều chế. (a) Không có hàm offset; (b) Có hàm offset.



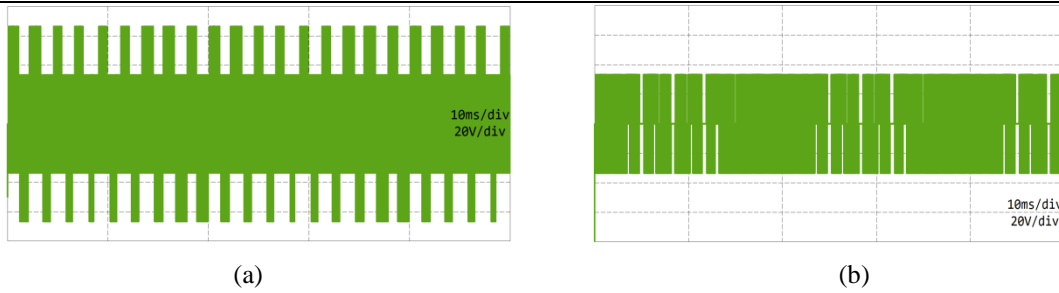
Hình 5. Điện áp dây tải. (a) Không có hàm offset; (b) có hàm offset.



Hình 6. Phổ điện áp dây tải. (a) Không có hàm offset; (b) Có hàm offset.



Hình 7. Dòng điện pha tải. (a) Không có hàm offset; (b) Có hàm offset.



Hình 8. Điện áp Common Mode. (a) Không có hàm offset; (b) Có hàm offset.

So với Hình 4(a), tín hiệu bù được thêm vào để hiệu chỉnh dạng sóng điều chế nhằm giảm biên độ CMV. Điều này khiến cho dạng sóng điều chế có dạng khác sóng sine. Dạng sóng điều chế nằm ngang thể hiện một trạng thái khóa Sa hoặc Sb hoặc Sc được cố định trong section/ region tương ứng, nhằm giảm tổn hao đóng cắt cho BNL.

So với phương pháp PD-PWM thông thường, tín hiệu sau khi thêm hàm offset có dạng sóng không sine với chủ đích nhằm giảm thiểu mức CMV trong hệ thống mà không làm ảnh hưởng nhiều đến chất lượng điện áp đầu ra, như ta có thể thấy trong Hình 5(a) và (b). Khi phân tích phổ của điện áp dây trong hình Hình 6 (a) và (b), thấy sự khác biệt rõ ràng về phân bố các thành phần sóng hài bậc thấp (phân hình chữ nhật viền đỏ tại Hình 6a) khi không có hàm offset có biên độ cao hơn, dẫn đến méo dạng sóng lớn hơn. Khi áp dụng phương pháp điều chế có hàm offset, biên độ của các thành phần sóng hài này giảm đáng kể (phân hình chữ nhật viền đỏ Hình 6b), giúp cải thiện chất lượng điện áp đầu ra. Ngoài ra, thành phần hài tần số thấp khó bị lọc hơn khi dùng bộ nghịch lưu 5 bậc vào ứng dụng nối lưới. Dòng điện pha trên tải như trên Hình 7(a) và (b) thể hiện tính liên tục, ổn định, và ít bị ảnh hưởng bởi việc thêm vào hàm offset, do đó hoạt động của động cơ (xem như tải RL) ít bị ảnh hưởng.

Kết quả mô phỏng tại Hình 8(a) và (b) cho thấy biên độ của CMV đã giảm đáng kể khi áp dụng phương pháp điều khiển bổ sung hàm điện áp offset với CMV từ -33.33V đến 33.33V (Hình 8(a)), bằng 1/2 so với phương pháp PDPWM từ -66.67V đến 66.67V (Hình 8b).

Điều này đồng nghĩa với việc giảm dòng điện rò và giảm nguy cơ phá hủy cách điện trong động cơ. Hình 4(g) thể hiện phân tích phổ của điện áp CMV, cho thấy các thành phần hài bậc cao trong điện áp CMV đã được giảm rõ rệt. Điều này có tác động tích cực đến việc giảm nhiễu điện từ (EMI) và hạn chế dòng rò trong hệ thống truyền động. Việc giảm thiểu phổ tần số cao cũng giúp hệ thống vận hành ổn định hơn, kéo dài tuổi thọ của các linh kiện công suất và hệ thống cách điện.

4. Kết luận

Nghiên cứu đã đề xuất một phương pháp điều khiển cho BNL NPC năm bậc nhằm giảm CMV mà trong đó có những lợi ích so với những nghiên cứu giảm CMV của các BNL năm bậc khác, bao gồm tăng độ phân giải CMV và giới hạn ở mức nhỏ nhất, có hiệu quả với tỷ số điều chế thấp, phù hợp cho ứng dụng thực tiễn. Phương pháp được đề xuất ứng dụng kỹ thuật PWM có hàm điện áp offset để quyết định trạng thái đóng ngắt khóa. Hàm điện áp offset được tính toán dựa trên giản đồ hình lục giác của vector không gian. Kết quả mô phỏng cho thấy phương pháp này giúp giảm CMV hiệu quả còn $\pm V_{dc}/12$, bằng 1 nửa khi so với phương pháp PD-PWM truyền thống. Nhờ đó, hệ thống nâng độ tin cậy và hạn chế các vấn đề như dòng điện rò, hao mòn ổ trục và nhiễu điện từ. Bên cạnh đó, giải thuật điều khiển đơn giản cũng giúp giảm quá trình tính toán so với kỹ thuật vector không gian truyền thống. Đồng thời, việc ứng dụng hàm điện áp offset trong quyết định trạng thái đóng ngắt khóa giúp đơn giản hóa thuật toán điều khiển, giảm đáng kể khối lượng tính toán so với kỹ thuật vector không gian truyền thống. Với những ưu điểm này, phương pháp đề xuất mở ra tiềm năng ứng dụng rộng rãi trong các hệ thống truyền động điện áp cao và công suất lớn, đặc biệt là trong các lĩnh vực như xe điện và năng lượng tái tạo.

Lời cảm ơn

Chúng tôi xin cảm ơn Trường Đại học Bách Khoa, ĐHQG-HCM đã hỗ trợ cho nghiên cứu này.

Xung đột lợi ích

Các tác giả tuyên bố không có xung đột lợi ích trong bài báo này.

TÀI LIỆU THAM KHẢO

- [1] J. Rodriguez, J. S. Lai, and F. Z. Peng, "Multilevel inverters: A survey of topologies, controls, and applications," *IEEE Trans. Ind. Electron.*, vol. 49, no. 4, pp. 724–738, Aug. 2002.
- [2] B. P. McGrath, D. G. Holmes, and T. Lipo, "Optimized space vector switching sequences for multilevel inverters," *IEEE Trans. Power Electron.*, vol. 18, no. 6, pp. 1293–1301, Nov. 2003.
- [3] J. M. Erdman, R. J. Kerkman, D. W. Schlegel, and G. L. Skibinski, "Effect of PWM inverters on AC motor bearing currents and shaft voltages," *IEEE Trans. Ind. Appl.*, vol. 32, no. 2, pp. 250–259, Mar./Apr. 1996.
- [4] H. Akagi and S. Tamura, "A passive EMI filter for eliminating both bearing current and ground leakage current from an inverter-driven motor," *IEEE Trans. Power Electron.*, vol. 21, no. 5, pp. 1459–1469, Sep. 2006.
- [5] H. J. Kim, H. D. Lee, and S. K. Sul, "A new PWM strategy for common-mode voltage reduction in neutral-point-clamped inverter-fed AC motor drives," *IEEE Trans. Ind. Appl.*, vol. 37, no. 6, pp. 1840–1845, Nov./Dec. 2001.
- [6] G. Carrara, S. Gardella, M. Marchesoni, R. Salutati, and G. Sciuotto, "A new multilevel PWM method: A theoretical analysis," *IEEE Trans. Power Electron.*, vol. 7, no. 3, pp. 497–505, Jul. 1992.
- [7] V. G. Agelidis and M. Calais, "Application specific harmonic performance evaluation of multicarrier PWM techniques," in *Proc. 29th Annu. IEEE Power Electron. Spec. Conf. (PESC)*, vol. 1, 1998, pp. 172–178.
- [8] T. K. T. Nguyen, N. V. Nguyen, and N. R. Prasad, "Novel eliminated common-mode voltage PWM sequences and an online algorithm to reduce current ripple for a three-level inverter," *IEEE Trans. Power Electron.*, vol. 32, no. 10, pp. 7482–7493, Oct. 2016.
- [9] S. Ogasawara and H. Akagi, "Modeling and damping of high-frequency leakage currents in PWM inverter-fed AC motor drive systems," *IEEE Trans. Ind. Appl.*, vol. 32, no. 5, pp. 1105–1114, Sep./Oct. 1996.
- [10] K. Zhou and D. Wang, "Relationship between space-vector modulation and three-phase carrier-based PWM: A comprehensive analysis," *IEEE Trans. Ind. Electron.*, vol. 49, no. 1, pp. 186–196, Feb. 2002.
- [11] N. V. Nho and M. J. Youn, "Comprehensive study on space-vector-PWM and carrier-based-PWM correlation in multilevel inverters," *IEE Proc. Electr. Power Appl.*, vol. 153, no. 1, pp. 149–158, Jan. 2006.

The Manh Dinh is currently a researcher at the Faculty of Electrical and Electronics Engineering, Ho Chi Minh City University of Technology, Vietnam. His research interests include power electronic and renewable energy.

Email: manh.dinhthegoat@hcmut.edu.vn. ORCID: <https://orcid.org/0009-0005-4796-7694>

Minh Duc Pham received the Master and Ph.D. degrees in Electrical Engineering from Ulsan University, South Korea. He is currently a full-time lecture in Ho Chi Minh City University of Technology, Vietnam. His research interests include hybrid robotics, motor control, and renewable energy.

Email: pmduc@hcmut.edu.vn. ORCID: <https://orcid.org/0000-0002-9319-1963>

Duc Hung Nguyen received the B.E. (2004), M.E. (2009) degrees in electrical engineering from Ho Chi Minh City University of Technology, Vietnam. He is currently a full-time lecture in Ho Chi Minh City University of Technology, Vietnam. His research interests include microgrid, optimization algorithms, power system optimization, low-cost inverter, and renewable energy, on-board charger.

Email: hungnd@hcmut.edu.vn. ORCID: <https://orcid.org/0000-0001-7831-3814>