

KỸ THUẬT VECTOR KHÔNG GIAN CẢI TIẾN CHO NGHỊCH LƯU HÌNH T BA BẬC ĐỂ GIẢM ĐIỆN ÁP COMMON MODE

MODIFIED SPACE VECTOR STRATEGY FOR THREE LEVEL T-TYPE INVERTER TO REDUCE COMMON MODE VOLTAGE

Lê Văn Tài, Nguyễn Văn An, Quách Thanh Hải,
 Trần Vĩnh Thanh, Đỗ Đức Trí, Huỳnh Thị Thu Hiền
 Trường Đại học Sư phạm Kỹ thuật Thành phố Hồ Chí Minh, Việt Nam

Ngày toà soạn nhận bài 18/6/2019, ngày phản biện đánh giá 9/7/2019, ngày chấp nhận đăng 17/7/2019

TÓM TẮT

Trong bài báo này, một kỹ thuật điều chế độ rộng xung vector không gian cải tiến (MSVPWM) cho nghịch lưu hình T tăng áp tựa khóa chuyển mạch ba bậc (TL-qSBT²I) để giảm điện áp common mode (CMV) được trình bày. Trạng thái ngắn mạch (ST) được chèn vào vector zero để không ảnh hưởng đến điện áp ngõ ra. Phương pháp điều khiển vector không gian cải tiến có thể giảm giá trị điện áp common mode hiệu dụng lên đến 42.8% so với phương pháp điều khiển vector không gian thông thường. Ngoài ra, để giảm độ gợn dòng điện cuộn dây ngõ vào bằng cách sử dụng hai sóng mang tần số cao v_{car1} và v_{car2} , trong đó v_{car2} được tạo ra bằng cách dịch pha 90° từ v_{car1} . Để chứng minh phương pháp vector không gian cải tiến cho TL-qSBT²I, những kết quả mô phỏng được trình bày trong bài báo này.

Từ khóa: Nghịch lưu đa bậc; nguồn Z; Tăng áp tựa khóa chuyển mạch; Nghịch lưu hình T; Điện áp common mode.

ABSTRACT

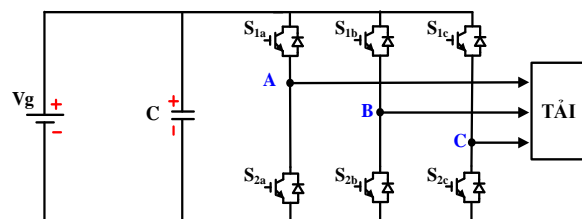
In this paper, a modified space vector pulse-width modulation (MSVPWM) scheme for the three-level quasi-switched boost T-type inverter (TL-qSBT²I) to reduce common mode is presented. The Shoot through (ST) state is inserted into zero vector in order not to affect the output voltage. Modified space vector control method can reduce the RMS of common mode voltage (CMV) value up to 42.8% as compared to the conventional space vector control method. Furthermore, to reduce the current ripple of inductor input by using two high-frequency carriers v_{car1} and v_{car2} , where v_{car2} is generated by shifting v_{car1} through 90°. To verify the modified space vector control method for TL-qSBT²I, simulation results have presented in this paper.

Keywords: Multilevel inverter; Z Source; Quasi Switch Boost; T-Type inverter; Common-Mode Voltage.

1. GIỚI THIỆU

Nghịch lưu nguồn áp (VSI) ngày càng được ứng dụng rộng rãi trong các hệ thống như: hệ thống điện PV dân dụng và nối lưới, hệ thống tua bin điện gió, hệ thống nguồn dự phòng UPS, động cơ AC, xe điện,... [1-2]. So với nghịch lưu hai bậc thông thường (Hình 1), những năm gần đây bộ nghịch lưu đa bậc [3] được sử dụng phổ biến với những ưu điểm như: chất lượng điện đầu ra tốt hơn, giảm kích thước bộ lọc LC. VSI đa bậc thông thường chỉ là một bộ giảm áp. Để sử dụng

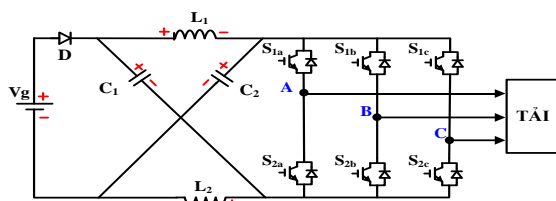
VSI cho các mục đích tăng áp cần sử dụng thêm một bộ DC/DC tăng áp phía trước bộ nghịch lưu. Điều này gây tăng kích thước và chi phí sản xuất bộ nghịch lưu.



Hình 1. Cấu trúc của bộ nghịch lưu nguồn áp thông thường.

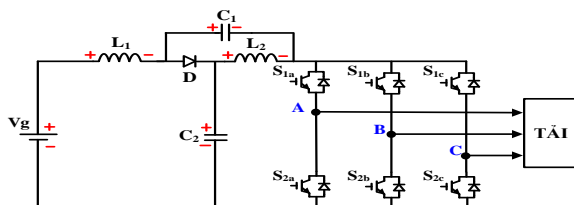
Hơn nữa, VSI không cho phép trạng thái hai khóa trên cùng một nhánh dẫn đồng thời (ngắn mạch - Shoot Through). Hiện tượng này làm ngắn mạch nguồn áp ngõ vào nghịch lưu gây hư hại đối với hệ thống. Bộ dead-time thường được sử dụng để hạn chế ảnh hưởng của ST. Tuy nhiên, việc sử dụng dead-time làm suy giảm hiệu suất của bộ chuyển đổi.

Nhằm khắc phục những hạn chế đã nêu trên, nghịch lưu dùng nguồn Z (Z Source) được giới thiệu trong [4] (Hình 2). Cấu trúc này được biết đến như một mạch chuyển đổi công suất có khả năng tăng - giảm áp một chặng và có khả năng chống lại hiện tượng trùng dẫn. Trong [5] giới thiệu mạng nghịch lưu NPC 3 bậc sử dụng mạng nguồn kháng (Z Source). Trong [6] giới thiệu nghịch lưu hình T đa bậc kết hợp với nguồn Z. Trong [7] trình bày phương pháp điều chế SVPWM 3 bậc hình T nguồn Z. Tuy nhiên, nghịch lưu nguồn Z vẫn còn tồn tại một số bất lợi như: dòng điện ngõ vào gián đoạn và điện áp stress trên tụ còn khá lớn.



Hình 2. Cấu trúc của bộ nghịch lưu nguồn Z.

Với mong muốn cải thiện hạn chế của mạng nguồn Z, một mạng nghịch lưu tựa nguồn Z (qZSI) được đề xuất trong [8] (Hình 3) để thay thế cho mạng nghịch lưu nguồn Z.

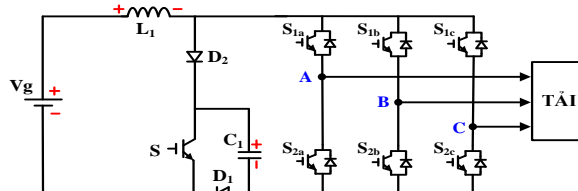


Hình 3. Cấu trúc của qZSI.

Trong [9] giới thiệu mạng nghịch lưu 3 bậc tựa nguồn Z (Quasi Z Source) kết hợp với cấu hình nghịch lưu hình T hoạt động ở chế độ bình thường và chịu lỗi. So với nghịch lưu đa bậc sử dụng cấu hình NPC, nghịch lưu đa bậc hình T sử dụng một công

tắc hai chiều, nguyên lý hoạt động đơn giản, tồn thất chuyển mạch nhỏ. Một so sánh giữa nghịch lưu 3 bậc VSI thông thường với 3L qZIs được trình bày trong [10]. Trong [11] giới thiệu giải thuật điều chế SVPWM cho nghịch lưu 3 bậc hình T qZSI.

Để cải thiện số lượng các thành phần thụ động nhưng vẫn duy trì những ưu điểm của mạng nguồn Z, mạng nguồn kháng Quasi switch boost (Hình 4) được giới thiệu [12]. Trong [13] phương pháp điều chế sine PWM được ứng dụng cho mạng nguồn kháng Quasi Switch Boost 3 pha 3 bậc hình T (3L QSBT²I) nhằm giảm độ gợn dòng điện ngõ vào và tăng độ lợi điện áp.

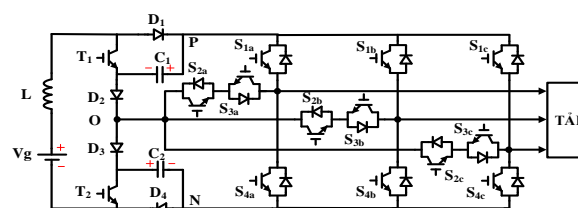


Hình 4. Cấu trúc của bộ nghịch lưu tựa khóa chuyển mạch.

Trong bài báo “Space Vector Modulation Strategy for Three-Level Quasi-Switched Boost T-Type Inverter” [14], trình bày kỹ thuật điều chế SVPWM giúp giảm THD và cải thiện độ lợi điện áp so với [13]. Tuy nhiên, điện áp common mode (CMV) vẫn còn cao.

Trong bài báo này, một kỹ thuật điều chế độ rộng xung sử dụng vector không gian cải tiến nhằm mục đích giảm CMV được trình bày. Trạng thái ổn định, nguyên lý hoạt động của giải thuật điều chế độ rộng xung vector không gian cải tiến cho 3L QSBT²I được phân tích và kiểm chứng thông qua mô phỏng bằng phần mềm PSIM.

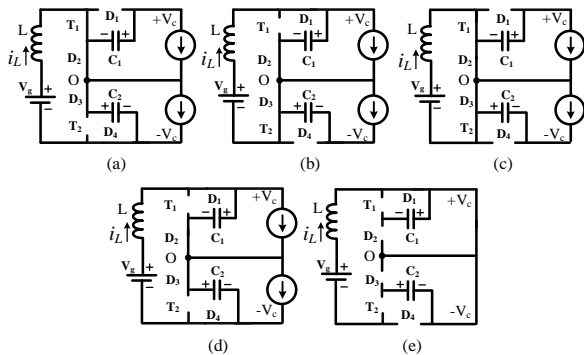
2. CẤU HÌNH NGHỊCH LƯU BA BẬC HÌNH T TỰA KHÓA CHUYỂN MẠCH



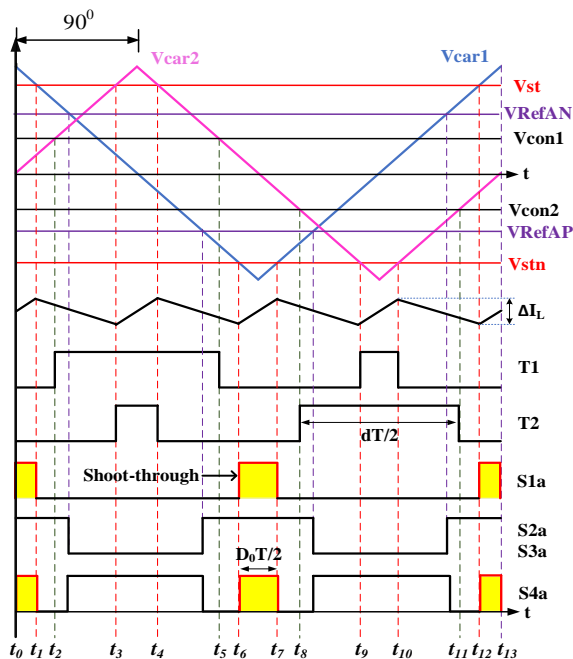
Hình 5. Cấu trúc ba bậc qSBT²I.

Nghịch lưu ba bậc hình T tựa khóa chuyển mạch (3L qSBT²I) được kết hợp bởi hai phần chính đó là mạng nguồn kháng (qSB) và nghịch lưu 3 bậc hình T.

Mạng qSB gồm có 1 cuộn cảm (L), 2 tụ điện (C₁, C₂) và 4 diode (D₁, D₂, D₃, D₄), chúng được ghép với nhau để tạo ra điểm giữa (O). Điểm giữa này và hai ngõ ra của mạng qSB (P, N) sẽ cung cấp năng lượng cho mạch nghịch lưu 3 bậc hình T gồm 3 nhánh (pha a, b, c), mỗi nhánh gồm 4 IGBT. Trong đó, một khóa hai chiều được cấu tạo bởi 2 IGBT mắc ngược chiều nhau và được trình bày như Hình 5.



Hình 6. Nguyên lý hoạt động của 3L qSBT²I
(a) trạng thái NST1, (b) trạng thái NST2,
(c) trạng thái NST3, (d) trạng thái NST4,
(e) trạng thái ST.



Hình 7. Phương pháp điều khiển SVPWM cho pha A.

Với cấu trúc 3 bậc, nghịch lưu hình T có khả năng tạo ra 3 cấp điện áp trên ngõ ra bằng cách kích đóng khóa S_{1x} (x = a, b, c) điện áp V_{XO} sẽ đạt được giá trị +V_C. Điện áp V_{XO} sẽ đạt giá trị 0 khi khóa S_{2x}, S_{3x} được kích đóng. Tương tự, điện áp V_{XO} sẽ đạt giá trị -V_C bằng cách kích đóng S_{4x}.

2.1 Nguyên lý hoạt động

Mạng 3L qSBT²I có hai trạng thái chuyển mạch chính là “Không ngắn mạch (NST)” và “Ngắn mạch (ST)”. Hình. 6 trình bày trạng thái hoạt động của 3L qSBT²I.

2.1.1 Trạng thái không ngắn mạch

Trạng thái NST 1: (t₂ đến t₃ và t₄ đến t₅) khóa T₁ dẫn, trong khi đó khóa T₂ ngắt được mô tả ở Hình. 6(a). Các diode D₂, D₃ và D₄ phân cực thuận trong khi đó diode D₁ phân cực ngược. Cuộn cảm L và tụ điện C₁ xả trong khi tụ điện C₂ nạp. Điện áp trên cuộn dây được xác định:

$$L \frac{dI_L}{dt} = V_g - V_C \quad (1)$$

Trạng thái NST 2: (t₈ đến t₉ và t₁₀ đến t₁₁) khóa T₂ dẫn, trong khi đó khóa T₁ ngắt được mô tả ở Hình. 6(b). Các diode D₁, D₂ và D₃ phân cực thuận trong khi đó diode D₄ phân cực ngược. Cuộn cảm L và tụ điện C₂ xả trong khi tụ điện C₁ nạp. Điện áp trên cuộn dây được xác định:

$$L \frac{dI_L}{dt} = V_g - V_C \quad (2)$$

Trạng thái NST 3: (t₃ đến t₄ và t₉ đến t₁₀) khóa T₁ và T₂ đều dẫn được mô tả ở Hình. 6(c). Các Diode D₁ và D₄ phân cực ngược trong khi đó Diode D₂ và D₃ phân cực thuận. Cuộn cảm L được nạp năng lượng, các tụ điện C₁ và C₂ xả. Điện áp trên cuộn dây được xác định:

$$L \frac{dI_L}{dt} = V_g \quad (3)$$

Trạng thái NST 4: (t₁ đến t₂, t₅ đến t₆, t₇ đến t₈ và t₁₁ đến t₁₂) khoá T₁ và T₂ ngắt được mô tả ở Hình 6(d), các Diode D₁, D₂, D₃ và D₄ phân cực thuận. Cuộn dây xả năng lượng

trong khi đó các tụ C_1 và C_2 được nạp năng lượng. Điện áp trên cuộn dây được xác định:

$$L \frac{dI_L}{dt} = V_g - 2V_C \quad (4)$$

2.1.2 Trạng thái ngắn mạch (t_0 đến t_1 , t_6 đến t_7 , và t_{12} đến t_{13})

Trong suốt trạng thái ST trong bộ nghịch lưu hình T, các khóa S_{X1} đến S_{X4} cùng đóng được mô tả ở Hình. 6(e), cùng lúc đó các khóa T_1 và T_2 được kích ngắt. Các Diode D_1 , D_4 phân cực thuận, Diode D_2 , D_3 phân cực ngược. Thời gian tồn tại của trạng thái này là D_0T . Trong khoảng thời gian này cuộn cảm nạp năng lượng từ nguồn V_g và các tụ điện C_1 và C_2 cách ly khỏi mạch. Điện áp trên cuộn dây được xác định:

$$L \frac{dI_L}{dt} = V_g \quad (5)$$

2.2 Phân tích trạng thái ổn định

Tổng thời gian tồn tại của trạng thái NST 1 trong một chu kỳ sóng mang là: $(d - D_0).T / 2$ trong đó d là chu kỳ làm việc của khóa T_1 được điều khiển bởi V_{con1} . Tổng thời gian tồn tại trạng thái NST 2 trong một chu kỳ sóng mang là: $(d - D_0).T / 2$, trong đó d là chu kỳ làm việc của khóa T_2 được điều khiển bởi V_{con2} . Tổng thời gian tồn tại của trạng thái NST 3 và ST là D_0T . Khoảng thời gian còn lại của trạng thái NST 4 trong một chu kỳ sóng mang là $T - D_0T - dT$. Điện áp trên tụ được xác định như sau:

$$V_C = V_{C1} = V_{C2} = \frac{V_g}{2 - 3D_0 - d} \quad (6)$$

Với d là chu kỳ ngắn mạch của mạng nguồn kháng, D_0 là chu kỳ ngắn mạch của nghịch lưu hình T.

Điện áp đỉnh ngõ ra nghịch lưu được xác định:

$$\hat{v}_x = \frac{2}{\sqrt{3}} \cdot \frac{M \cdot V_{PN}}{2} = \frac{2}{\sqrt{3}} \cdot \frac{M}{2 - 3D_0 - d} V_g \quad (7)$$

Với M là chỉ số điều chế của phần nghịch lưu.

3. PHƯƠNG PHÁP SVPWM CỦA 3L qSBT²I THÔNG THƯỜNG

Trong mạch nghịch lưu 3 bậc hình T ở hình (5), mỗi pha có 4 khóa tạo ra 3 trạng thái chuyển mạch là: P, O, N. Tổ hợp 3 pha có tổng cộng 27 trạng thái chuyển mạch (vector) được sử dụng cụ thể như [3 vector zero], [12 vector nhỏ], [6 vector trung bình] và [6 vector lớn]. Giải thuật SVPWM thông thường chia 27 vector này thành 6 sector, mỗi sector chia thành 4 vùng được trình bày cụ thể trong [14]. Với vector \vec{V}_{ref} được định nghĩa như sau:

$$\vec{V}_{ref} = \frac{2}{3} (V_{AO} + V_{BO} \cdot e^{j\frac{2\pi}{3}} + V_{CO} \cdot e^{-j\frac{2\pi}{3}}) \quad (8)$$

Trong đó: V_{AO} , V_{BO} , V_{CO} là điện áp pha ngõ ra của bộ nghịch lưu.

Trong [14] sử dụng hầu hết 27 vector để tổng hợp \vec{V}_{ref} trong suốt quá trình hoạt động của bộ nghịch lưu.

Điện áp CMV là giá trị trung bình của điện áp ngõ ra 3 pha được tính toán như sau:

$$V_{CMV} = \frac{V_{AO} + V_{BO} + V_{CO}}{3} \quad (9)$$

Bảng 1. Các vector và giá trị điện áp common mode cho 3L qSBT²I

Vectors	State	V_{CM}	State	V_{CM}	State	V_{CM}
0	[OOO]	0	[PPP]	$+V_c$	[NNN]	$-V_c$
Dạng P	[POO]	$+V/\sqrt{3}$	[PPO]	$+2V/\sqrt{3}$	[OPO]	$+V/\sqrt{3}$
	[OPP]	$+2V/\sqrt{3}$	[OOP]	$+V/\sqrt{3}$	[POP]	$+2V/\sqrt{3}$
Dạng N	[ONN]	$-2V/\sqrt{3}$	[OON]	$-V/\sqrt{3}$	[NON]	$-2V/\sqrt{3}$
	[NOO]	$-V/\sqrt{3}$	[NNO]	$-2V/\sqrt{3}$	[ONO]	$-V/\sqrt{3}$
Trung bình	[PON]	0	[OPN]	0	[NPO]	0
	[NOP]	0	[ONP]	0	[PNO]	0
Lớn	[PNN]	$-V/\sqrt{3}$	[PPN]	$+V/\sqrt{3}$	[NPN]	$-V/\sqrt{3}$
	[NPP]	$+V/\sqrt{3}$	[NNP]	$-V/\sqrt{3}$	[PNP]	$+V/\sqrt{3}$

Bảng 1 trình bày giá trị CMV tương ứng với mỗi vector của bộ nghịch lưu. Có thể thấy rằng các trạng thái vector [PPP/NNN]

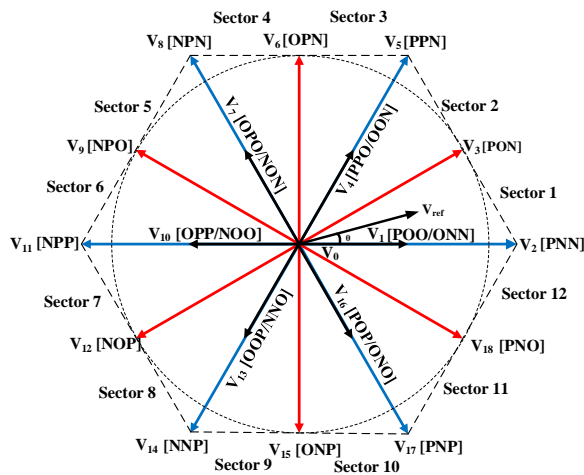
tạo ra CMV là lớn nhất, các vector nhỏ tạo ra CMV tương đối lớn và các vector trung bình không gây ra CMV.

Với phương pháp [14], CMV có giá trị biên độ lớn nhất là $+2/3V_c$ và nhỏ nhất là $-2/3V_c$ khi các vector nhỏ được sử dụng để tổng hợp \vec{V}_{ref} mong muốn.

4. PHƯƠNG PHÁP MSVPWM CỦA 3L qSBT²I ĐỂ GIẢM ĐIỆN ÁP COMMON MODE.

Để giảm CMV, giải thuật SVPWM cải tiến sử dụng các vector zero, vector trung bình và vector lớn để tổng hợp \vec{V}_{ref} . Như vậy, giá trị lớn nhất của CMV là $+1/3V_c$ và giá trị nhỏ nhất là $-1/3V_c$.

Với giải thuật cải tiến, giản đồ vector không gian được chia thành 12 sector gồm 6 sector lẻ và 6 sector chẵn được sắp xếp xen kẽ biểu diễn ở Hình. 8. Trong bài báo này, sector 1 và sector 2 được xem là ví dụ đại diện cho sector lẻ và sector chẵn để phân tích kỹ thuật được sử dụng.



Hình 8. Phương pháp điều chế SVPWM cho 3L qSBT²I

Không mất tính tổng quát, giả sử \vec{V}_{ref} nằm ở sector 1. Khi đó, \vec{V}_{ref} được biểu diễn bởi các vector điện áp $\vec{V}_0, \vec{V}_2, \vec{V}_3$ với mối quan hệ được trình bày bởi phương trình sau:

$$\vec{V}_{ref} \cdot T_s = \vec{V}_2 \cdot T_L + \vec{V}_3 \cdot T_M + \vec{V}_0 \cdot T_Z \quad (10)$$

Trong đó, các vector điện áp $\vec{V}_0, \vec{V}_2, \vec{V}_3, \vec{V}_{ref}$ được biểu diễn như sau:

$$\begin{cases} \vec{V}_0 = 0 \cdot V_c \cdot e^{0j} \\ \vec{V}_2 = \frac{4}{3} \cdot V_c \cdot e^{0j} \\ \vec{V}_3 = \frac{2}{\sqrt{3}} \cdot V_c \cdot e^{\frac{\pi}{6}j} \\ \vec{V}_{ref} = \frac{2}{\sqrt{3}} \cdot M \cdot e^{\theta j} \end{cases} \quad (11)$$

Với: $T_s = T_Z + T_M + T_L$

M : là chỉ số điều chế $0 \leq M \leq 1$

Thời gian tồn tại của $\vec{V}_0, \vec{V}_2, \vec{V}_3$ được tính toán:

$$\begin{cases} T_L = \sqrt{3} \cdot M \cdot T_s \cdot \sin\left(\frac{\pi}{6} - \theta\right) \\ T_M = 2 \cdot M \cdot T_s \cdot \sin \theta \\ T_Z = T_s - T_L - T_M \end{cases} \quad (12)$$

Chuỗi vector trong sector 1 được sắp xếp theo thứ tự [OOO]-[PON]-[PNN]-[OOO] và ngược lại, được biểu diễn như hình (9a).

Giả sử vector điện áp \vec{V}_{ref} đang nằm ở sector 2. Khi đó \vec{V}_{ref} được biểu diễn bởi các vector điện áp $\vec{V}_0, \vec{V}_3, \vec{V}_5$ với mối quan hệ được biểu diễn bởi phương trình sau:

$$\vec{V}_{ref} \cdot T_s = \vec{V}_3 \cdot T_M + \vec{V}_5 \cdot T_L + \vec{V}_0 \cdot T_Z \quad (13)$$

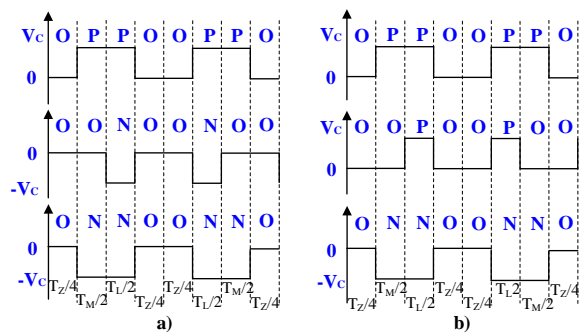
Các vector điện áp $\vec{V}_0, \vec{V}_3, \vec{V}_5, \vec{V}_{ref}$ được biểu diễn như sau:

$$\begin{cases} \vec{V}_0 = 0 \cdot V_c \cdot e^{0j} \\ \vec{V}_3 = \frac{2}{\sqrt{3}} \cdot V_c \cdot e^{\frac{\pi}{6}j} \\ \vec{V}_5 = \frac{4}{3} \cdot V_c \cdot e^{\frac{\pi}{3}j} \\ \vec{V}_{ref} = \frac{2}{\sqrt{3}} \cdot V_c \cdot e^{\theta j} \end{cases} \quad (14)$$

Thời gian tồn tại của $\vec{V}_0, \vec{V}_3, \vec{V}_5$ được tính toán:

$$\begin{cases} T_M = 2M \cdot T_s \cdot \sin\left(\frac{\pi}{3} - \theta\right) \\ T_L = \sqrt{3} \cdot M \cdot T_s \cdot \sin\left(\theta - \frac{\pi}{6}\right) \\ T_Z = T_s - T_L - T_M \end{cases} \quad (15)$$

Chuỗi vector trong sector 2 được sắp xếp theo thứ tự [OOO]-[PON]-[PPN]-[OOO] và ngược lại, được biểu diễn như hình (9b).



Hình 9. Chuỗi vector cho sector 1 và sector 2. (a) sector 1, (b) sector 2.

Một cách tổng quát, có thể tạo ra xung kích cho các khóa bán dẫn theo quy luật chuỗi vector được trình bày tổng quát trong hình (9) và xung ngắt mạch (ST) được chèn vào mạch nghịch lưu ở vector [OOO] nhằm mục đích không ảnh hưởng đến điện áp ngõ ra bằng các sử dụng mô hình PWM được biểu diễn ở hình (7).

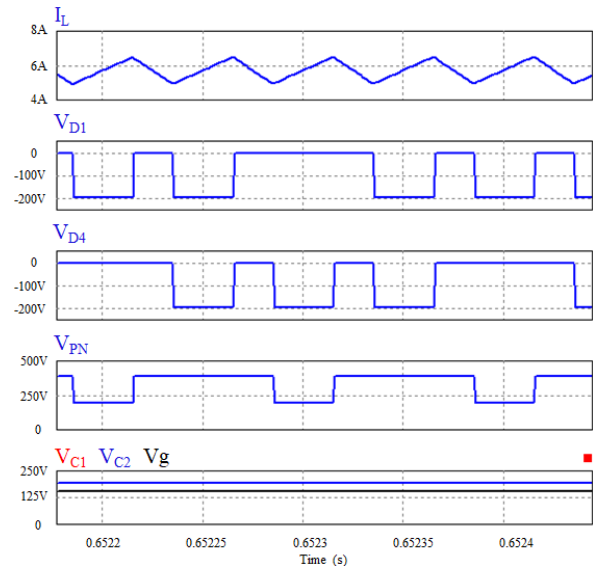
5. KẾT QUẢ MÔ PHỎNG.

Nhóm nghiên cứu tiến hành mô phỏng dưới sự hỗ trợ của phần mềm PSIM với các thông số sau:

Bảng 2. Các thông số mô phỏng và thực nghiệm của bộ nghịch lưu.

Thông số các thành phần	Giá trị
Điện áp ngõ vào	V_g 157 V
Điện áp ngõ ra	V_o 110V
Tần số sóng mang	f_s 5 kHz
Tỉ số ngắt mạch	D_0 0.3
Tỉ số điều chế	M 0.7

Điện cảm	L	3mH
Tụ điện	$C_2 = C_3$	2200 μ F
Mạch lọc LC	L_f and C_f	3 mH và 10 μ F
Tải trở	R_t	40 Ω



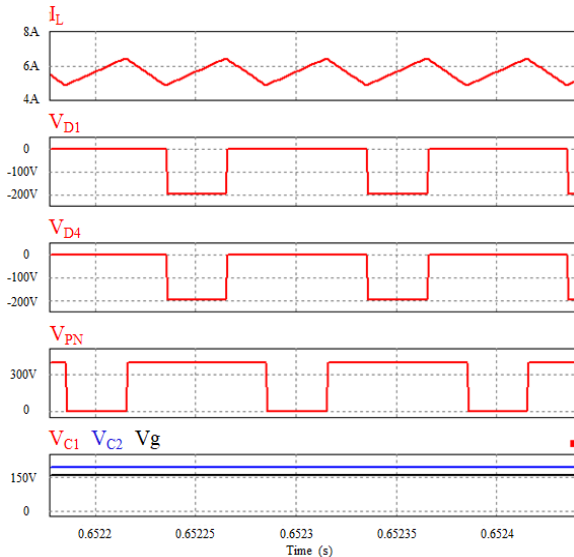
Hình 10. Kết quả mô phỏng cho SVPWM thông thường khi $V_g = 157$ V, $D_0=0.3$ và $d=0.3$. Nhìn từ trên xuống dưới, dòng điện ngõ vào I_L , điện áp trên diode D_1 và D_4 , điện áp DC-link, và điện áp ngõ vào, điện áp trên các tụ điện C_1, C_2 .

Từ Hình (10) và Hình (11) chúng ta có thể thấy rằng, dòng điện ngõ vào I_L là 5.71A, điện áp trên các diode D_1 và D_4 là -196 V, điện áp DC-link là 392 V và điện áp trên các tụ C_1 và C_2 là 196 V.

Từ Hình (12), điện áp ngõ ra hiệu dụng V_{AG} là 110 V_{RMS} , điện áp cực là 196 V, điện áp common mode là 85 V_{RMS} , điện áp dây V_{AB} là 210 V và dòng điện ngõ ra là 2.81 A. Từ hình (13), điện áp ngõ ra hiệu dụng V_{AG} là 110 V_{RMS} , điện áp cực là 196 V, điện áp common mode là 36.4 V_{RMS} , điện áp dây V_{AB} là 210 V và dòng điện ngõ ra là 2.81 A.

Từ Bảng 3 điện áp common mode của SVPWM là 85 V_{RMS} và MSVPWM là 36.4 V_{RMS} khi hệ thống hoạt động với cùng thông số và điện áp đặt trên các phần tử tích cực như đã trình bày ở Bảng 2. Với giải thuật MSVPWM điện áp common mode đã giảm

xuống khoảng 42.8%. Tuy nhiên, độ méo dạng dòng điện ngõ ra của phương pháp SVPWM là 0.31% nhỏ hơn so với phương pháp MSVPWM là 0.79%. Với $THD_i = 0.79\%$ vẫn phù hợp tiêu chuẩn quốc tế (ME standards as IEC61000-4-30 Edition).

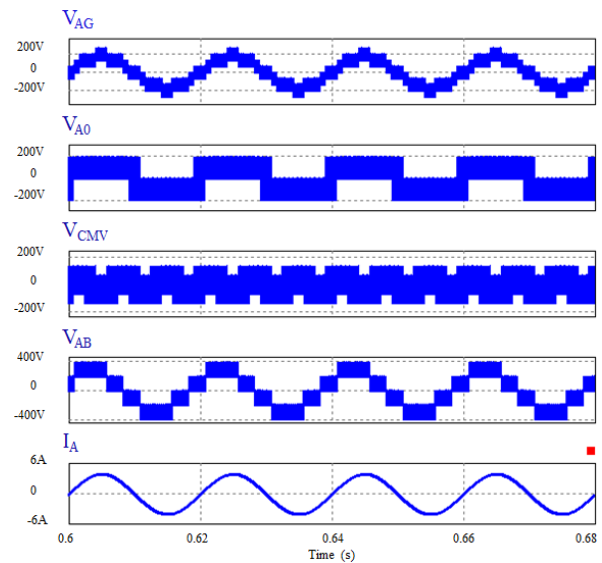


Hình 11. Kết quả mô phỏng cho MSVPWM khi $V_g = 157$ V, $D_0 = 0.3$ và $d = 0.3$. Nhìn từ trên xuống dưới, dòng điện ngõ vào I_L , điện áp trên diode D_1 và D_4 , điện áp DC-link, và điện áp ngõ vào, điện áp trên các tụ điện C_1 , C_2 .

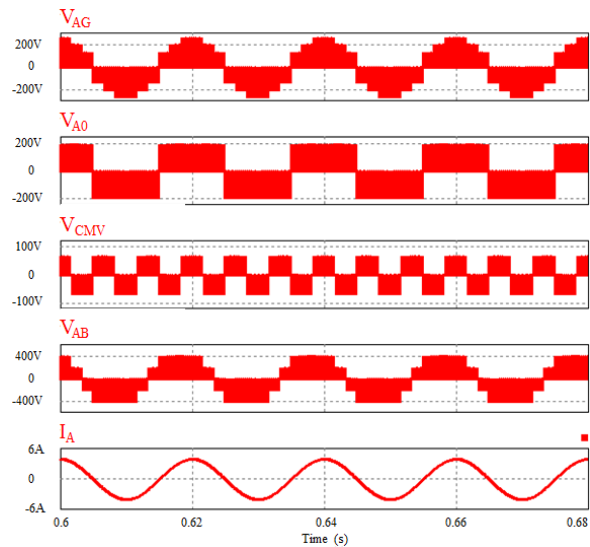
Bảng 3. So sánh phương pháp điều khiển SVPWM và phương pháp MSVPWM

Thông số các thành phần		SVPWM	MSVPWM
Điện áp ngõ vào	V_g	157 V	157 V
Điện áp ngõ ra	V_o	110V	110V
Tần số sóng mang	f_s	5 kHz	5 kHz
Tỉ số ngắn mạch nghịch lưu hình T	D_0	0.3	0.3
Tỉ số ngắn mạch mạng nguồn kháng	d	0.3	0.3
Tỉ số điều chế	M	0.7	0.7
Điện cảm	L	3mH	3mH
Tụ điện	$C_1 = C_2$	2200 μ F	2200 μ F
Tải trở	R_t	40 Ω	40 Ω

Điện áp CMV	V_{GO}	85 V	36.4 V
Độ méo dạng	THD_i	0.31%	0.79%



Hình 12. Kết quả mô phỏng cho SVPWM thông thường. Nhìn từ trên xuống dạng sóng điện áp ngõ ra (V_{AG}), điện áp cực (V_{AO}), điện áp common mode điện áp dây (V_{AB}) và dòng điện ngõ ra I_A .



Hình 13. Kết quả mô phỏng cho MSVPWM. Nhìn từ trên xuống dạng sóng điện áp ngõ ra (V_{AG}), điện áp cực (V_{AO}), điện áp common mode điện áp dây (V_{AB}) và dòng điện ngõ ra I_A .

6. KẾT LUẬN

Bài báo này đã trình bày một mạng nguồn kháng qSB được kết nối với nghịch

lưu ba bậc hình T. Bên cạnh các tính năng tăng, giảm áp (Buck-Boost) và đa bậc. Với giải thuật đã trình bày, cấu hình này còn có thể giảm điện áp common mode.

Nguyên lý hoạt động và kết quả mô phỏng cho cấu hình 3L qSBT²I đã được phân tích phù hợp với cơ sở lý thuyết. Cấu hình và giải thuật cho 3L qSBT²I phù hợp với các ứng dụng công suất trung bình và nhỏ như: hệ thống PV, pin nhiên liệu và động cơ.

LỜI CẢM ƠN

Bài báo này được thực hiện tại phòng thí nghiệm điện tử công suất nâng cao D405 với sự hỗ trợ của dự án KC186 của Trường Đại học Sư phạm Kỹ thuật Thành phố Hồ Chí Minh.

Danh mục từ viết tắt

3L	Three level
MSVPWM	Modify Space Vector Pulse Width Modulation
PWM	Pulse Width Modulation
qSB	Quasi-Z-Source
qZSI	Quasi-Z-Source Inverter
SVPWM	Space Vector Pulse Width Modulation
T ² I	T-Type inverter
CMV	Common mode voltage

TÀI LIỆU THAM KHẢO

- [1] Mohammad Ahmad, Anil Kumar Jha, Sitaram Jana and, Kishore Kumar, “Simulation and Performance Analysis of a Grid Connected Multilevel Inverter Considering Either Battery or Solar PV as DC Input Sources”, IEEE, 978-1-5090- 6218-8/17, 2017.
- [2] Ngô Văn Quang Bình, Nguyễn Văn Liên, “Ứng dụng nghịch lưu áp đa mức trong hệ truyền động”, Tạp chí Khoa học và Công nghệ, Đại học Đà Nẵng, số 1(36), xuất bản năm 2010.
- [3] Ngo Bac Bien, Nguyen Minh Khai, Do Duc Tri, Ngo Van Thuyen, “Bộ nghịch lưu chuyển tụ điện 9 bậc”, Tạp chí Khoa Học Giáo Dục Kỹ Thuật, Đại học Sư phạm Kỹ thuật Tp HCM, số 44A, xuất bản tháng 10 năm 2017.
- [4] F. Z. Peng, "Z-source inverter," IEEE Transactions on Industry Applications, vol. 39, pp. 504-510, 2003.
- [5] O. Husev, C. R. Clemente, E. R. Cadaval, D. Vinnikov, and S. Stepenko, “Single phase three-level neutral-point-clamped quasi-Z-source inverter,” IET Power Electron., vol. 8, no. 1, pp. 1–10, 2015.
- [6] Lương Hoàn Tiên, Nguyễn Minh Khai, Trần Văn Thuận, Ngô Văn Thuyền, “ Bộ nghịch lưu một pha năm bậc nguồn Z hình T”, Xuất bản Trong Tạp Chí Tự Động Hóa Ngày Nay, hội Tự Động Hóa Việt Nam, số 16, xuất bản tháng 08 năm 2016.
- [7] X. Xing, A. Chen, W. Wang, C. Zhang, Y. Li, C. Du, “Space-vectormodulated for Z-source three-level T-type converter with neutral voltage balancing,” IEEE Conf. Appl. Power Electron. Conf., pp. 833 – 840, Mar, 2015.
- [8] J. Anderson and F. Z. Peng, “Four quasi-Z-source inverters,” in Proc. IEEE Power Electron. Spec. Conf., Rhodes, Greece, pp. 2743-2749, Jun. 2008.
- [9] V. F. Pires, A. Cordeiro, D. Foito, and J. F. Martins, “Quasi-Z-source inverter with a T-type converter in normal and failure mode,” IEEE Trans. Power Electron., vol. 31, no. 11, pp. 7462–7470, Nov. 2016.
- [10] D. Panfilov, O. Husev, F. Blaabjerg, J. Zakis, and K. Khandakji, “Comparison of three-phase three-level voltage source inverter with intermediate dc–dc boost converter and quasi-Z-source inverter,” IET Power Electron., vol. 9, no. 6, pp. 1238–1248, 2016.
- [11] C. Qin, C. Zhang, A. Chen, X. Xing and G. Zhang, “A Space Vector Modulation Scheme of Quasi-Z-Source Three-Level T-Type Inverter for Common-Mode Voltage

- Reduction,” IEEE Trans. Ind. Electron., vol. PP, DOI 10.1109/TIE.2018.2798611, no. 99, pp. 1–1, Jan. 2018.
- [12] M.-K. Nguyen, T.-V. Le, S.-J. Park, and Y.-C. Lim, "A class of quasi switched boost inverters," IEEE Trans. Ind. Electron., vol. 62, no. 3, pp. 1526-1536, March 2015.
- [13] D. T. Do and M. K. Nguyen, “Three-level quasi-switched boost Ttype inverter: analysis, PWM control, and verification,” IEEE Trans. Ind. Electron., vol. 65, no. 10, pp. 8320 – 8329, Oct. 2018.
- [14] D-T. Do, M-K. Nguyen, T-H. Quach, V-Th. Tran, C-B. Le, K-W. Lee; G-B. Cho, “Space Vector Modulation Strategy for Three-Level Quasi-Switched Boost T-Type Inverter,” IEEE 4th Southern Power Electronics Conference, pp. 1–5, Feb. 2019.

Tác giả chính chịu trách nhiệm bài viết:

Đỗ Đức Trí

Trường Đại học Sư phạm Kỹ thuật Tp. HCM

Email: tridd@hcmute.edu.vn