

NGHỊCH LƯU GHÉP TẦNG CẦU H VỚI ĐỘ LỢI ĐIỆN ÁP CAO CASCADE H-BRIDGE INVERTER WITH HIGH VOLTAGE GAIN

Lê Quang Tuấn¹, Nguyễn Thanh Long², Trần Vĩnh Thanh¹, Đỗ Đức Trí¹

¹Trường Đại học Sư phạm Kỹ thuật Thành phố Hồ Chí Minh, Việt Nam

²Công ty điện lực An Giang, Việt Nam

Ngày toà soạn nhận bài 10/12/2019, ngày phản biện đánh giá 13/12/2019, ngày chấp nhận đăng 19/12/2019.

TÓM TẮT

Trong bài báo này, nghịch lưu một pha ghép tầng cầu H với độ lợi điện áp cao (CHB-qSBI-HG) được trình bày. Cấu hình này được biết đến như một bộ chuyển đổi công suất một chạng mà nó hoạt động ở hai chế độ: chế độ ngắn mạch (ST) và chế độ không ngắn mạch (NST). Do đó, trạng thái ngắn mạch (hai khóa trên một nhánh cùng dẫn trong một thời gian) được khắc phục, vì thế chất lượng của điện áp và dòng điện ngõ ra được cải thiện. Ngoài ra, một phương pháp điều chế độ rộng xung (PWM) được cải tiến và kết hợp với cấu hình CHB-qSBI-HG để đạt được sự vượt trội về độ lợi điện áp cũng như giảm điện áp trên các linh kiện công suất. Một mô hình mô phỏng được xây dựng để kiểm chứng nguyên lý hoạt động theo phân tích lý thuyết của CHB-qSBI-HG.

Từ khóa: Nghịch lưu ghép tầng cầu H; Nghịch lưu tăng áp; nghịch lưu năm bậc; ngắn mạch; nghịch lưu tựa khóa chuyển mạch.

ABSTRACT

In this paper, a cascade H-bridge single phase inverter with high voltage gain (CHB-qSBI-HG) is presented. This topology is known by single-stage power converter which operates with two modes: shoot through (ST) and non shoot through (NST). Thus, the state ST, two switches on the leg turn on at the same time, is addressed, so the quality of output voltage and current is improved. Furthermore, a pulse width modulation (PWM) method is modified and combine with CHB-qSBI-HG to achieve superior voltage gain as well as reduce the stress voltage on the power switches. A prototype was built to verify the operating principles through theoretical analysis of CHB-qSBI-HG.

Keywords: Cascaded H-bridge inverter; boost inverter; five-level inverter, shoot-through state (ST); quasi-switch-boost inverter (qSBI).

1. GIỚI THIỆU

Ngày nay, nghịch lưu đa bậc đã được các nhà nghiên cứu trong và ngoài nước quan tâm bởi vì những ưu điểm vượt trội của chúng so với các bộ nghịch lưu hai bậc truyền thống [1]. Những ưu điểm của nghịch lưu đa bậc có thể kể đến như: hiệu suất cao, tổn thất chuyển mạch thấp, giảm điện áp đặt trên các linh kiện, cải thiện dạng sóng ngõ ra với độ méo dạng sóng hài (THD) thấp, kích thước của bộ lọc nhỏ và nhiễu điện từ (EMI) thấp [2]. Ba cấu hình điển hình thường được sử dụng của bộ nghịch lưu đa bậc truyền thống đó là: (1) cấu hình nghịch lưu diode kẹp (NPC), (2) cấu hình

nghịch lưu dạng ghép tầng (cascade) cầu H (CHBI) và (3) cấu hình nghịch lưu tụ kẹp (FC). Trong những cấu hình này, CHBI thể hiện sự vượt trội so với các cấu hình khác bởi vì CHBI có thể dễ dàng nâng số bậc điện áp lên bằng cách ghép nối tiếp các Module cầu H với nhau. Với ưu điểm này, CHBI được lựa chọn sử dụng trong nhiều ứng dụng như: hệ thống nguồn dự phòng UPS, hệ thống nối lưới, điều khiển động cơ [3]-[4].

Cấu hình CHBI năm bậc truyền thống, mỗi Module nghịch lưu cầu H sử dụng một điện áp DC ngõ vào độc lập để điều chế điện áp ngõ ra. Điện áp ngõ ra của bộ CHBI là

tổng điện áp ngõ ra mỗi Module của CHBI. Tuy nhiên, CHBI truyền thống chỉ hoạt động như một bộ giảm áp, giá trị đỉnh-đỉnh của điện áp ngõ ra AC bị giới hạn bởi tổng nguồn điện áp DC ngõ vào. Với mục tiêu mong muốn điện áp ngõ ra cao hơn điện áp DC ngõ vào, một bộ chuyển đổi DC-DC tăng áp được sử dụng trước bộ nghịch lưu. Tuy nhiên, hiệu suất của bộ chuyển đổi không cao và chi phí sản xuất bộ nghịch lưu tăng lên một cách đáng kể. Ngoài ra, một nhược điểm lớn của các cấu hình nghịch lưu truyền thống đó là hiện tượng trùng dẫn xảy ra khi các khóa trên cùng một nhánh đóng đồng thời, điều này dẫn đến ngắn mạch nguồn ngõ vào. Để hạn chế ảnh hưởng của hiện tượng trùng dẫn, bộ dead-time được sử dụng để ngăn hai khóa trên cùng một nhánh đóng đồng thời. Tuy nhiên, hiệu suất của bộ chuyển đổi cũng như chất lượng điện áp ngõ ra bị suy giảm.

Nghịch lưu dùng nguồn Z với khả năng chuyển đổi công suất một chặng sẽ khắc phục những hạn chế của những bộ nghịch lưu truyền thống được giới thiệu trong [5]. Tính năng chính của mạng nguồn Z sử dụng trạng thái ngắn mạch để tăng điện áp ngõ vào cho mạch nghịch lưu khi các khóa trên cùng một nhánh dẫn đồng thời. Tuy nhiên, trong [6] chỉ ra những nhược điểm mạng nguồn Z cần phải cải tiến đó là dòng điện ngõ vào không liên tục trong trạng thái tăng áp và điện áp đặt trên tụ điện lớn.

Cấu hình nghịch lưu tựa nguồn Z (qZSI) đã khắc phục những nhược điểm của mạng nguồn Z đó là: (1) dòng điện ngõ vào liên tục, (2) giảm điện áp đặt lên các linh kiện điện tử công suất và độ tin cậy của hệ thống được nâng cao [7]. Nghịch lưu cascade cầu H (CHB) tựa nguồn Z (qZSI) với chuyển đổi công suất một chặng được giới thiệu trong [8]. Trong cấu hình CHB-qZSI các xung ngắn mạch được chèn vào vector zero để tăng điện áp ngõ vào mạch nghịch lưu mà không gây bất kỳ thiệt hại nào cho hệ thống. Như kết quả, mỗi Module trong cấu hình CHB-qZSI tạo ra điện áp DC-link giống nhau bằng cách điều khiển chu kỳ xung ngắn mạch. Trong [8], một phương pháp điều khiển SPWM sử dụng trong mạng nguồn

kháng qZSI để đáp ứng yêu cầu điều khiển động cơ trong hệ thống xe điện mà các phương pháp điều khiển nghịch lưu qZSI thông thường không thể đáp ứng. Khi nâng số bậc điện áp lên thì số Module mạng nguồn kháng qZSI bắt buộc phải tăng mà cấu hình mạng nguồn kháng qZSI gồm hai tụ điện và hai cuộn dây, việc này làm tăng kích thước, khối lượng và tổn thất công suất hệ thống.

Để cải tiến về mặt kích thước, khối lượng và chi phí nhưng vẫn duy trì những ưu điểm của qZSI với chuyển đổi công suất một chặng, mạng nguồn kháng khóa chuyển mạch (qSBI) được giới thiệu trong [9]. So sánh về mặt cấu hình với ZS/qZSI, mạng nguồn kháng qSBI tiết kiệm hơn một cuộn dây và một tụ điện nhưng sử dụng nhiều hơn một khóa công suất và một Diode. So sánh giữa hai cấu hình qSBI và qZSI một pha được trình bày trong [10] cho thấy những ưu điểm vượt trội của qSBI so với qZSI là sử dụng ít hơn một cuộn dây với điện cảm lớn hơn và ít hơn một tụ điện với điện dung nhỏ hơn, dòng điện trong các diode và khóa công suất thấp, hiệu suất cao hơn.

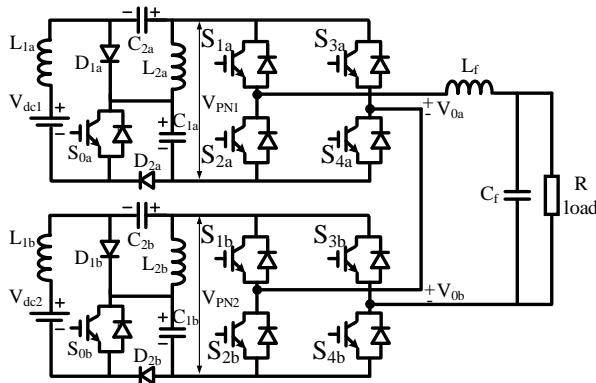
Trong bài báo [11] đã trình bày một cấu hình qSBI mới với những ưu điểm có thể kể đến như: (1) độ lợi điện áp cao, (2) dòng điện ngõ vào liên tục với độ gợn dòng điện trên cuộn dây tăng áp thấp, (3) giảm điện áp đặt trên các tụ điện, trên các khóa bán dẫn và diode bằng cách sử dụng thêm một cuộn dây và một tụ điện cho cấu hình nghịch lưu cầu H tựa khóa chuyển mạch qSBI một pha ba bậc. Tuy nhiên cấu hình nghịch lưu này chỉ hoạt động ở ba bậc nên chất lượng điện áp chưa cao.

Trong bài báo này nhóm nghiên cứu trình bày một cấu hình cải tiến cho nghịch lưu 5 bậc ghép tầng cầu H độ lợi điện áp cao với mục tiêu tăng độ lợi điện áp, dòng điện ngõ vào liên tục, giảm điện áp đặt trên các linh kiện.

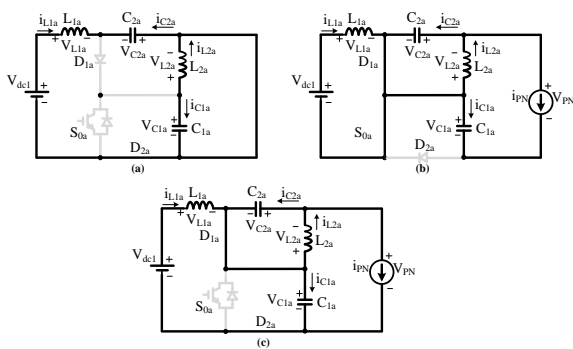
2. CẤU HÌNH NGHỊCH LƯU GHEP TANG CẦU H TỰA KHÓA CHUYỂN MẠCH

Cấu trúc của mạch CHB-qSBI-HG gồm hai mạch nghịch lưu cầu H tựa khóa chuyển

mạch (HB-qSBI) ghép nối tiếp với nhau là HB-qSBI trên (UHB-qSBI) và HB-qSBI dưới (LHB-qSBI) được biểu diễn như Hình 1. Mỗi mạch có cấu tạo gồm một mạng trở kháng (qSB) đặt phía trước mạch cầu H (HB). Mạng qSB gồm có hai cuộn dây (L_{1a} và L_{2a} hoặc L_{1b} và L_{2b}), hai tụ điện (C_{1a} và C_{2a} hoặc C_{1b} và C_{2b}) hai diode (D_{1a} , D_{2a} hoặc D_{1b} , D_{2b}) và một khóa bán dẫn (S_{0a} hoặc S_{0b}). HB có cấu tạo gồm 4 khóa bán dẫn (S_{1a} , S_{2a} , S_{3a} , S_{4a} của UHB-qSBI) hoặc (S_{1b} , S_{2b} , S_{3b} , S_{4b} của LHB-qSBI) được biểu diễn ở Hình 1. Với cấu trúc này, mỗi HB có khả năng tạo ra 3 cấp điện áp ở ngõ ra: $+V_{PN}$, 0, $-V_{PN}$ bằng cách kích động các khóa bán dẫn tương ứng được liệt kê như Bảng 1. Trong đó, V_{PN} là điện áp ngõ ra của mạng qSB. Điện áp ngõ ra của CHB-qSBI-HG là tổng điện áp ngõ ra của hai mạch qSBI-HG. Do đó, ngõ ra của mạch nghịch lưu có 5 bậc điện áp là: $+2V_{PN}$, $+V_{PN}$, 0, $-V_{PN}$, $-2V_{PN}$.



Hình 1. Cấu trúc của bộ CHB-qSBI-HG



Hình 2. Nguyên lý hoạt động của bộ CHB-qSBI-HG

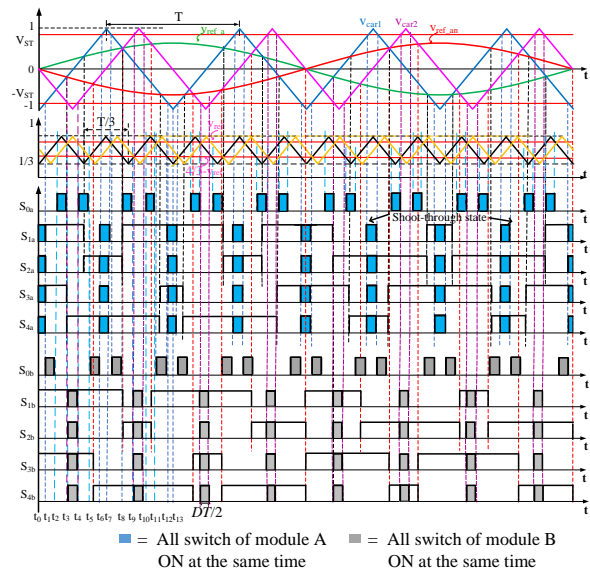
Phương pháp PWM điều khiển mạch CHB-qSBI-HG sử dụng hai tín hiệu tham chiếu dạng sine (V_{ref_a} và V_{ref_an}) và hai tín hiệu sóng mang có tần số cao lệch pha nhau

90° (V_{car1} và V_{car2}) được biểu diễn ở Hình. 3. Tín hiệu tham chiếu có phương trình như sau:

$$\begin{cases} V_{ref_a} = m \cdot \sin(\theta) \\ V_{ref_an} = -m \cdot \sin(\theta) \end{cases} \quad (1)$$

Trong đó: m là chỉ số điều chế ($0 \leq m \leq 1$), θ là góc pha $0 \leq \theta \leq 2\pi$.

Hai tín hiệu V_{ST} và $-V_{ST}$ được sử dụng để tạo xung kích ngắn mạch cho mạch HB và các khóa S_{0x} của mạch qSB.



Hình 3. Kỹ thuật điều khiển PWM cải tiến của CHB-qSBI-HG

Bảng 1. Trạng thái đóng-ngắt của qSBI-HG ($x = a, b$)

Trạng thái	Khóa được kích động	Diode dẫn	Điện áp ngõ ra
NST 1	S_{0x}, S_{1x}, S_{4x}	D_{1x}	$+V_{PN}$
	S_{0x}, S_{2x}, S_{4x}		0
	S_{0x}, S_{1x}, S_{3x}		0
	S_{0x}, S_{2x}, S_{3x}		$-V_{PN}$
NST 2	S_{1x}, S_{4x}	D_{1x}, D_{2x}	$+V_{PN}$
	S_{2x}, S_{4x}		0
	S_{1x}, S_{3x}		0
	S_{2x}, S_{3x}		$-V_{PN}$
ST	$S_{1x}, S_{2x}, S_{3x}, S_{4x}$	D_{2x}	0

Trạng thái đóng ngắt các khóa của HB-5L-qSBI được biểu diễn trong Hình. 3. Trong đó xung kích cho khóa S₁₂ và S₁₄ là nghịch đảo của S₁₁ và S₁₃. Tương tự cho 4 khóa S₂₁, S₂₂, S₂₃, S₂₄. Trạng thái ngắn mạch được tạo ra bằng cách kích đóng tất cả các khóa của HB được biểu thị bằng ký hiệu ■ và ■ cho mạch UHB-qSBI và LHB-qSBI.

2.1. Nguyên lý hoạt động

Do hoạt động của hai mạch HB-qSBI là tương tự như nhau nên bài báo này chỉ phân tích nguyên lý hoạt động của mạch UHB-qSBI.

Có hai trạng thái chuyển mạch chính trong suốt quá trình hoạt động của UHB-qSBI đó là: chế độ không ngắn mạch (NST) và chế độ ngắn mạch (ST) được trình bày trong Hình 3.

2.1.1 Trạng thái không ngắn mạch

Trạng thái NST 1: (từ t₂ đến t₃, t₄ đến t₅, và t₁₀ đến t₁₁) khóa S_{0a} được kích đóng được mô tả ở Hình 3(b). Diode D_{1a} phân cực thuận, trong khi diode D_{2a} phân cực ngược. Cuộn dây L_{1a} và tụ C_{2a} nạp năng lượng, trong khi cuộn dây L_{2a} và tụ C_{1a} xả. Điện áp trên cuộn dây L_{1a} và L_{2a} được xác định:

$$\begin{cases} L_{1a} \frac{di_{11a}}{dt} = V_i \\ L_{2a} \frac{di_{12a}}{dt} = -V_{C2a} \end{cases} \quad (2)$$

Trạng thái NST 2: (t₁ đến t₂, t₃ đến t₄, t₅ đến t₆, t₇ đến t₈, t₉ đến t₁₀, và t₁₀ đến t₁₁) khóa S_{0a} ngắt như hình 3(b). Hai diode D_{1a} và D_{2a} phân cực thuận. Cuộn dây L₁ và L₂ xả năng lượng, trong khi đó tụ điện C_{1a} và C_{2a} nạp năng lượng. Điện áp trên cuộn dây L_{1a} và L_{2a} được xác định:

$$\begin{cases} L_{1a} \frac{di_{11a}}{dt} = V_i - V_{C1a} \\ L_{2a} \frac{di_{12a}}{dt} = -V_{C2a} \end{cases} \quad (3)$$

2.1.2 Trạng thái ngắn mạch (t₀ đến t₁, t₆ đến t₇, và t₁₂ đến t₁₃)

Trong suốt trạng thái ST trong bộ nghịch lưu cầu H, các khóa S_{1a} đến S_{4a} cùng đóng

được mô tả ở Hình 3(c). Cùng lúc đó khóa S_{0a} được kích ngắt. Diode D_{2a} phân cực thuận. Diode D_{1a} phân cực ngược. Thời gian tồn tại của trạng thái này là DT. Trong khoảng thời gian này cuộn cảm L_{1a} và L_{2a} nạp năng lượng từ nguồn V_{dc1} trong khi đó tụ điện C_{1a} và C_{2a} xả năng lượng. Điện áp qua cuộn dây L_{1a} và L_{2a} được xác định như sau:

$$\begin{cases} L_{1a} \frac{di_{11a}}{dt} = V_i + V_{C2a} \\ L_{2a} \frac{di_{12a}}{dt} = V_{C1a} \end{cases} \quad (4)$$

2.2. Phân tích trạng thái ổn định

Tổng thời gian tồn tại của trạng thái ST trong một chu kỳ sóng mang là DT. Tổng thời gian tồn tại của trạng thái NST 1 trong một chu kỳ sóng mang là 2DT. Khoảng thời gian còn lại của trạng thái NST 2 trong một chu kỳ sóng mang là (1-3D)T. Giả sử tụ điện C_{1a} và C_{2a} có giá trị đủ lớn để điện áp trên tụ điện có giá trị không đổi trong suốt quá trình hoạt động. Điện áp của tụ C_{1a} và C_{2a} trong trạng thái xác lập được xác định như sau:

$$\begin{cases} V_{C1a} = \frac{1-D}{1-4D+2D^2} V_i \\ V_{C2a} = \frac{D}{1-4D+2D^2} V_i \end{cases} \quad (5)$$

Quá trình nạp năng lượng của cuộn dây L_{1a} và L_{2a} trong trạng thái ST là lớn nhất. Do đó độ gợn sóng dòng điện của cuộn dây L_{1a} và L_{2a} được tính như sau:

$$\begin{cases} DI_{L1a} = \frac{V_i + V_{VC2a}}{L_{1a}} \cdot \frac{DT}{2} \\ DI_{L2a} = \frac{V_{VC1a}}{L_{2a}} \cdot \frac{DT}{2} \end{cases} \quad (6)$$

Biên độ đỉnh của sóng hài bậc một được tính dựa trên chỉ số điều chế m, hệ số ngắn mạch D và điện áp ngõ vào như sau (giả sử rằng 2 module hoạt động với cùng một thông số):

$$V_o = 2m(V_{C1a} + V_{C2a}) = 2m \frac{1}{1-4D+2D^2} V_i \quad (7)$$

Trong đó: m là chỉ số điều chế (0 ≤ m ≤ 1), D là hệ số ngắn mạch (m + D ≤ 1).

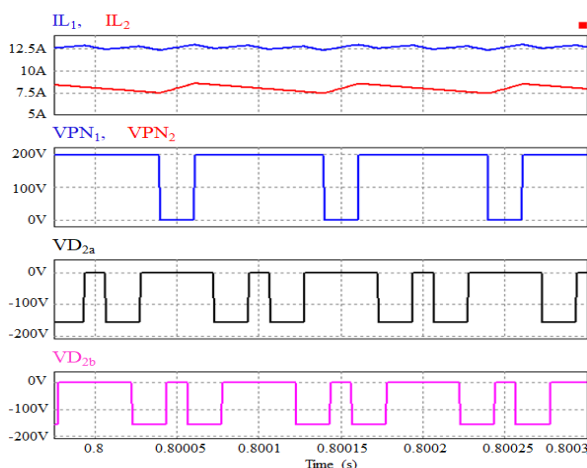
2 KẾT QUẢ MÔ PHỎNG.

Để kiểm chứng nguyên tắc hoạt động của cấu hình CHB-qSBI-HG như trong hình 1. Mô phỏng và thực nghiệm được tiến hành dựa trên phần mềm PSIM với các thông số được đề cập trong bảng 2.

Bảng 2 liệt kê các thông số kỹ thuật của mô phỏng và thực nghiệm cho cấu hình CHB-qSBI-HG. Để kiểm tra nguyên lý hoạt động của CHB-qSBI-HG như trong Hình. 1, phần mềm mô phỏng PSIM được sử dụng với điện áp ngõ vào $V_{dc1} = V_{dc2} = 48$ V. Điện áp ngõ ra của CHB-qSBI-HG có năm cấp; và điện áp tải là 220 Vrms.

Bảng 2. Thông số mô phỏng cho CHB-qSBI-HG.

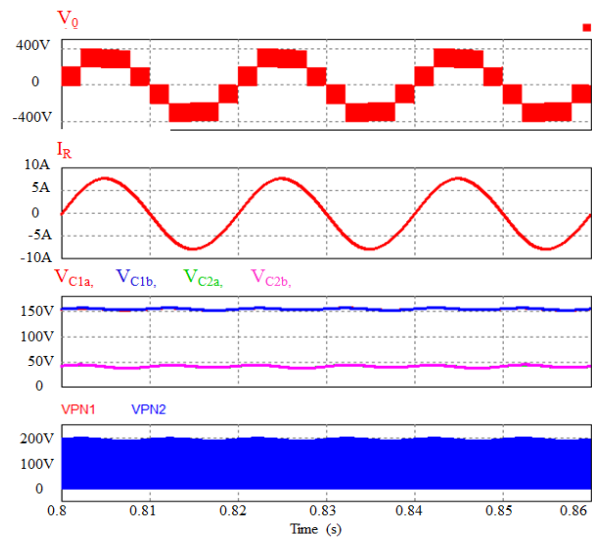
Thông số các thành phần		Giá trị
Điện áp ngõ vào	V_{dc}	48 V
Điện áp ngõ ra	V_o	220 V _{RMS}
Tần số ngõ ra	f_o	50 Hz
Tần số sóng mang	f_s	5 kHz
Tỉ số ngắn mạch	D	0.2116
Tỉ số điều chế	M	0.7884
Điện cảm	$L_{1x} = L_{2x}$	3mH
Tụ điện	$C_{1x} = C_{2x}$	2200 μ F
Mạch lọc LC	L_f và C_f	3mH và 10 μ F
Tải trở	R_t	40 Ω



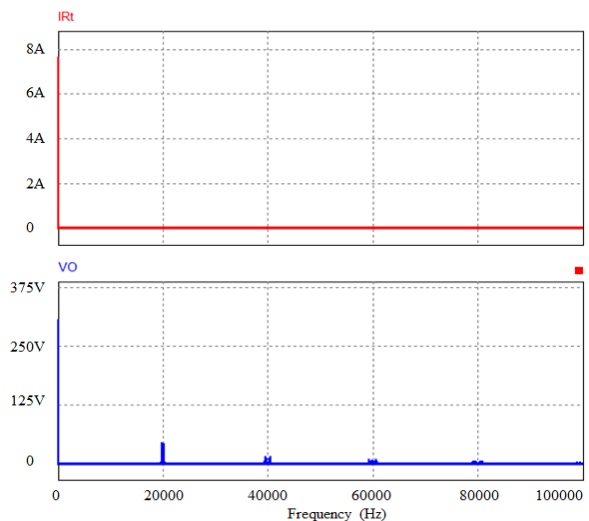
Hình 4. Kết quả mô phỏng từ trên xuống dưới: dạng sóng dòng điện trên cuộn dây (I_{L1} , I_{L2}), điện áp trên thanh cái khi phóng lớn (V_{PN1} , V_{PN2}) và điện áp trên diode (V_{D2a} và V_{D2b}) cho CHB-5L-qSBI.

Hình. 4, dạng sóng dòng điện của các cuộn dây tăng áp từ trên xuống dưới (I_{L1} và I_{L2}) đạt được 12.6A và 7.27A, điện áp đỉnh trên thanh cái (V_{PN1} và V_{PN2}) được xác định 200V khi điện áp ngõ vào (module A) là 48V, hệ số ngắn mạch $D=0.2116$ và chỉ số điều chế $M=0.7884$.

Hình. 5 nhìn từ trên xuống dưới điện áp ngõ ra (V_o) có 5 bậc -400V, -200V, 0V, 200V và 400V, dòng điện hiệu dụng ngõ ra (I_R) đo được 5.5A, điện áp trên các tụ (V_{C1a} , V_{C1b} , V_{C2a} và V_{C2b}) có giá trị 155V và 45V và điện áp trên thanh cái đạt 200V.



Hình 5. Kết quả mô phỏng từ trên xuống dưới: dạng sóng điện áp pha ngõ ra (V_o) và dòng điện ngõ ra (I_R), điện áp trên tụ (V_{C1a} , V_{C1b} , V_{C2a} và V_{C2b}) và điện áp trên thanh cái.



Hình 6. Kết quả mô phỏng FFT của dòng điện và điện áp ngõ ra (I_R và V_R).

Hình. 6 từ trên xuống dưới, phổ hài của tín hiệu dòng điện và điện áp ngõ ra (I_R và V_R). Từ hình 6 có thể thấy rằng biên độ hài bậc một của dòng điện và điện áp ngõ ra là 7.65A và 300V. Độ méo dạng dòng điện và điện áp ngõ ra (THD_i và THD_u) đạt được 1.27%, 38.9% tại trị hiệu dụng dòng điện ngõ ra 5.5A và trị hiệu dụng điện áp ngõ ra 220V. Với kết quả THD_i này đã thỏa mãn tiêu chí nhỏ hơn 5% của tiêu chuẩn IEC61000-4-30 Edition 2 Class A.

3 KẾT LUẬN

Bài báo này đã trình bày một mạng nguồn kháng qSB được kết nối với nghịch lưu

cascade cầu H 1 pha năm bậc. Bên cạnh các tính năng tăng, giảm áp (Buck-Boost), cấu hình này còn chịu đựng ngắn mạch và đa bậc.

Nguyên lý hoạt động và kết quả mô phỏng cho cấu hình CHB-qSBI-HG đã được phân tích phù hợp với cơ sở lý thuyết. Cấu hình và giải thuật cho CHB-qSBI-HG phù hợp với các ứng dụng như: hệ thống PV, pin nhiên liệu và động cơ, hòa lưới, UPS.

LỜI CẢM ƠN

Bài báo này được thực hiện tại phòng thí nghiệm điện tử công suất nâng cao D405.

DANH MỤC TỪ VIẾT TẮT

THD	Total Harmonic Distortion
qSBI	Quasi Switch Boost Inverter
CHB-FL	Cascaded H-Bridge Five-Level
CHB-qSBI-HG	Cascaded H-Bridge quasi switch boost inverter high gain
qZS	Quasi-Z-Source
CHB	Cascaded H-Bridge
PWM	Pulse Width Modulation
IGBT	Insulated Gate Bipolar Transistor
SPWM	Sine Pulse Width Modulation

TÀI LIỆU THAM KHẢO

- [1] Rodríguez, J., Lai, J. S., Peng, F. Z.: ‘Multilevel inverters: a survey of topologies, controls, and applications’, IEEE Trans. Ind. Electron., 2002, vol 49, no. 4, pp. 724–738.
- [2] Pereda, J., Dixon, J.: ‘Cascaded multilevel converters: optimal asymmetries and floating capacitor control’, IEEE Trans. Ind. Electron., 2013, vol 60, no. 11, pp. 4784–4793.
- [3] Mohammad Ahmad, Anil Kumar Jha, Sitaram Jana and, Kishore Kumar, “Simulation and Performance Analysis of a Grid Connected Multilevel Inverter Considering Either Battery or Solar PV as DC Input Sources”, 2017 3rd International Conference on Computational Intelligence & Communication Technology (CICT), Feb. 2017.
- [4] Ngô Văn Quang Bình, Nguyễn Văn Liễu, “Ứng dụng nghịch lưu áp đa mức trong hệ truyền động”, Tạp chí Khoa Học và Công Nghệ, đại học Đà Nẵng, số 1(36), xuất bản năm 2010.
- [5] A.Shanmuga priyaa, Dr.R.Seyezhai, Dr.B.L.Mathur, “Design and Implementation of Cascaded Z-Source Multilevel Inverter”, IEEE Industrial Electronics Magazine, vol. 10, no. 1, pp. 6 - 24 March 2016.
- [6] R. Miceli, G. Schettino, F. Viola, F. Blaabjerg, Y. Yang, “Modified Modulation Techniques for Quasi-Z-Source Cascaded H-Bridge Inverters”, IECON 2018 - 44th Annual Conference of the IEEE Industrial Electronics Society, 31 December 2018.

- [7] Katharina Beer and Bernhard Piepenbreier, " Properties and Advantages of the Quasi-Z-Source Inverter for DC-AC Conversion for Electric Vehicle Applications", *Emobility-Electrical power*, pp.1-6, 2010.
- [8] Dongsun Sun, Baoming Ge, Fang Zheng Peng, Abu Rub Haitham, Daqiang Bi, Yushan Liu, "A New Grid-Connected PV System Based on Cascaded H-bridge Quasi-Z Source Inverter", 2012 IEEE International Symposium on Industrial Electronics, 12 July 2012.
- [9] Adda Ravindranath, Santanu K. Mishra, Avinash Joshi, "Analysis and PWM Control of Switched Boost Inverter", *IEEE Transactions on Industrial Electronics*, vol. 60, no. 12, pp. 5593 – 5602, November 2012.
- [10] M. K. Nguyen, Y. C. Lim and S. J. Park, "A comparison between singlephase quasi-Z-source and quasi-switched boost inverters," *IEEE Trans. Ind. Electron.*, vol. 62, no. 10, pp. 6336 - 6344, Oct. 2015.
- [11] Minh-Khai Nguyen, Truong-Duy Duong, Young-Cheol Lim, Joon-Ho Choi, "High Voltage Gain Quasi-Switched Boost Inverters With Low Input Current Ripple", *IEEE Trans. Ind. Electron*, Vol. 15, no, 9, pp. 4857 – 4866, Sept. 2019.

Tác giả chịu trách nhiệm bài viết:

Đỗ Đức Trí

Trường Đại học Sư phạm Kỹ thuật Tp. HCM

Email: tridd@hcmute.edu.vn