

# MÔ PHỎNG ĐẶC TRƯNG DÒNG ĐIỆN- ĐIỆN THẾ VÀ QUY TRÌNH CHẾ TẠO TRANSISTOR ĐƠN ĐIỆN TỬ (SET)

## THE SIMULATION OF CURRENT - VOLTAGE CHARACTERISTICS AND FABRICATION PROCESS FOR SINGLE ELECTRON TRANSISTOR (SET)

**Lê Hoàng Minh**

*Trường Đại học Sư phạm Kỹ thuật Thành phố Hồ Chí Minh*

*Ngày tòa soạn nhận bài 12/8/2016, ngày phản biện đánh giá 26/9/2016, ngày chấp nhận đăng 28/10/2016*

### TÓM TẮT

*Tính toán và mô phỏng SET là bước đầu để xác định các thông số cần thiết cho một cấu trúc SET và cũng là bước quan trọng để phục vụ cho quá trình chế tạo. Cấu trúc SET phải đáp ứng được các yêu cầu về dòng điện và điện thế phù hợp. Điều đó cho thấy rằng, việc mô phỏng cần phải được đầu tư đúng mức, để thuận lợi hơn trong quá trình chế tạo, tiết kiệm được nguyên vật liệu, để có thể sản xuất những sản phẩm có giá trị thực tiễn cao, sản xuất sản phẩm thương mại có giá trị. Trong bài báo này, tác giả đã sử dụng hàm Green không cân bằng để tính toán hàm truyền, mô phỏng đặc trưng dòng - thế của SET, chương trình mô phỏng được viết sử dụng GUI trong Matlab và dùng phần mềm Intellisuite để thiết kế một quy trình chế tạo SET.*

**Từ khóa:** *Transistor đơn điện tử; đặc trưng dòng thế; hàm truyền; hàm Green không cân bằng quá trình chế tạo.*

### ABSTRACT

*Calculation and simulation of SET (Single Electron Transistor) are the first steps to determine necessary parameters for a SET structure, and also very important before the fabrication process. Structure of SET has to satisfy criteria about the suitable current and voltage. Accordingly, simulation of SET structure takes a key-role and must be invested fully in order to support the fabrication more advantageously save materials significantly, produce highly practical products having commercial value. In this research, the authors used non-equilibrium Green's function method to computer transport function of charges, the simulation of current-voltage (I-V) characteristics was programmed by using graphic user guide (GUI) in Matlab and the software Intellisuite in design of fabrication process for SET.*

**Key words:** *Single Electron Transistor; current-voltage characteristic; transport function; non-equilibrium Green's function; fabrication process.*

### 1. GIỚI THIỆU

SET có đặc tính của một linh kiện chuyển mạch, có khả năng điều khiển chuyển động từng điện tử một, nhờ đó công suất tiêu tán của SET thấp hơn nhiều so với MOSFET, thích hợp trong mạch tích hợp chứa hàng tỉ linh kiện. Việc xây dựng mô

hình SET chuẩn ứng dụng cho thiết kế vi mạch thực vẫn còn đang trong giai đoạn nghiên cứu. Gần đây, nhiều nhóm nghiên cứu đạt được thành công nhất định trong việc theo đuổi xây dựng mô hình và mô phỏng cho SET [4, 6] như những mô phỏng

Monte Carlo SIMON [7], MOSES [2], KOSEC [5] và phương pháp phương trình chính (Master Equation-ME) [8]. Trong bài báo này chúng tôi sử dụng phương pháp hàm Green không cân bằng (NEGF) [9] để tính toán hàm truyền, dao động Coulomb, hiệu ứng khóa Coulomb và những đặc trưng dòng - thế của SET. Chương trình mô phỏng được viết nhờ giao diện đồ họa người sử dụng (GUI) trong MatLab và tiếp theo đưa ra các bước chế tạo SET, từ đó dùng phần mềm Inellisuite để mô phỏng quy trình chế tạo SET. Phần mềm IntelliSuite là sản phẩm của công ty Intellisense cung cấp cho các công ty MEMS và các nhà thiết kế một môi trường thiết kế đầy đủ. Phần mềm này có một môi trường thiết kế chặt chẽ liên kết các phần MEMS lại với nhau.

Phần mềm IntelliSuite [1] có nhiều chức năng như:

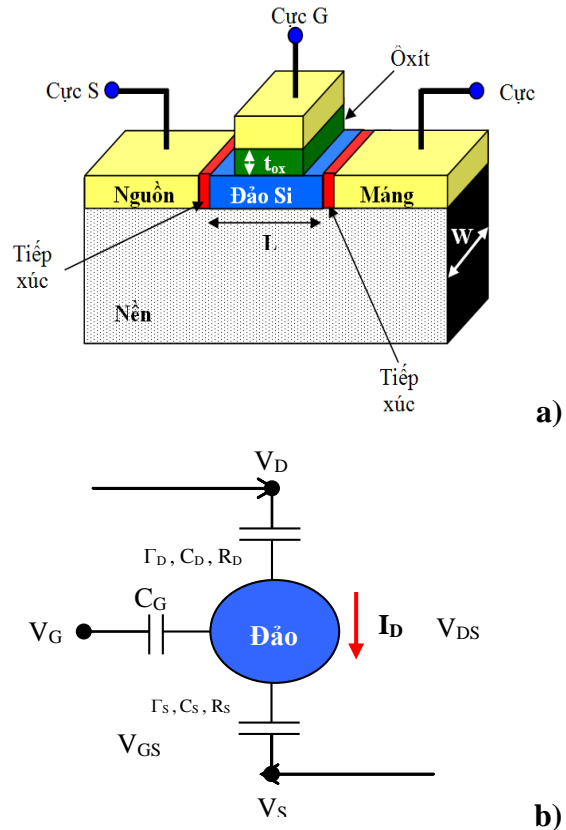
- 3D Builer: xây dựng các lớp trong không gian 3 chiều.
- 2D Builder: xây dựng các lớp trong không gian 2 chiều.
- Intellimask: dùng để tạo ra các mặt nạ trong việc tạo hình các lớp màng.
- Intellifab: giống như một phòng sạch làm từ những bước cơ bản như để Si với hướng tùy chọn, đến tạo màng, chiếu tia UV và quang khắc.

## 2. TRANSISTOR ĐƠN ĐIỆN TỬ VÀ PHƯƠNG PHÁP HÀM NEGF

### 2.1. Cấu trúc SET

SET là linh kiện chuyển mạch ba cực, có thể truyền điện tử từ cực nguồn đến cực máng từng điện tử một. Cấu tạo của SET gồm có chấm lượng tử kích thước thang nanomet bị bao quanh bởi ba cực: cực cổng (G), cực nguồn (S) và cực máng (D). Trong đó cực nguồn và cực máng được ghép với

chấm lượng tử thông qua tiếp xúc đường hầm. Cực cổng ghép với chấm lượng tử thông qua lớp cách điện ngăn không cho điện tử đi vào chấm lượng tử bằng xuyên hầm lượng tử. Do đó, điện tử chỉ có thể đi vào chấm lượng tử qua lớp tiếp xúc đường hầm.

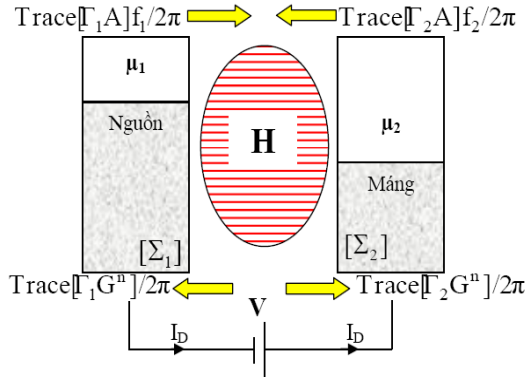


Hình 1. a). Cấu trúc SET, b). Mô hình mạch điện tương đương SET

### 2.2. Phương pháp hàm NEGF

Thuật toán hàm Green không cân bằng (Non - Equilibrium Green Function, NEGF) ứng dụng giải phương trình Schrödinger-Poisson và kết hợp tính xác suất truyền của điện tử. Trong thuật toán, sự “không cân bằng” thể hiện độ chênh lệch về năng lượng giữa hai mức Fermi ở hai tiếp xúc cực nguồn S và cực máng D. Nhờ hiện tượng không cân bằng này mà các điện tử di chuyển qua kênh dẫn. Việc xây dựng mô hình SET với chấm nhiều mức năng lượng lượng tử được mô tả bằng ma trận toán tử Hamilton [H] và hiệu ứng của sự ghép nối chấm lượng

từ đến những tiếp xúc được tính toán chính xác bởi những ma trận self-energy  $[\Sigma_1(E)]$  và  $[\Sigma_2(E)]$ . Những ma trận self-energy có kích thước bằng kích thước của ma trận toán tử Hamilton của chấm lượng tử (hình 2).



**Hình 2.** Mô hình SET với chấm lượng tử nhiều mức năng lượng

Hàm phân bố ứng với mức Fermi được xây dựng tại những tiếp xúc cực nguồn và cực máng:

$$f_1(E) \equiv f_0(E - \mu_1) = \frac{1}{\exp[(E - \mu_1)/k_B T] + 1} \quad (1)$$

$$f_2(E) \equiv f_0(E - \mu_2) = \frac{1}{\exp[(E - \mu_2)/k_B T] + 1} \quad (2)$$

bởi điện thế áp  $V$ :  $\mu_1 - \mu_2 = qV$ .

Trong đó,  $E$  - năng lượng,  $k_B$  - hằng số Boltzmann và  $T$  - nhiệt độ.

Hàm ma trận mật độ điện tử được cho bởi:

$$\rho = \frac{1}{2\pi} \int_{-\infty}^{+\infty} [A_1(E)f_1(E) + A_2(E)f_2(E)] dE \quad (3)$$

Dòng điện  $I_{DS}$  chạy trong mạch ngoài được xác định:

$$I_D = \frac{q}{h} \int_{-\infty}^{+\infty} T(E)[f_1(E) - f_2(E)] dE \quad (4)$$

Phương trình (4) là phương trình Landauer.

Hàm số truyền  $T(E)$  được tính toán từ phương pháp NEGF:

$$T(E) = \text{Trace}[\Gamma_1 G \Gamma_2 G^+] = \text{Trace}[\Gamma_2 G \Gamma_1 G^+] \quad (5)$$

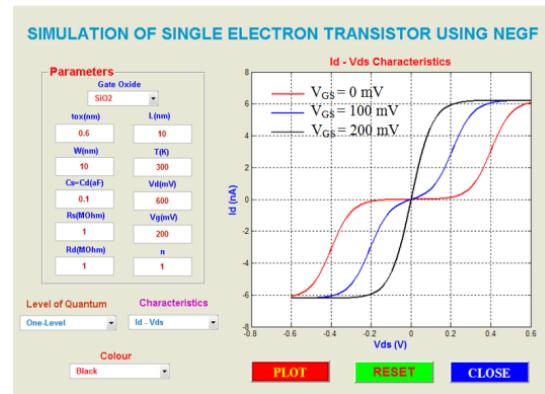
Trong đó:

$$\begin{aligned} G &= [EI - H - \Sigma_1 - \Sigma_2]^{-1} \\ \Gamma_{1,2} &= i[\Sigma_{1,2} - \Sigma_{1,2}^+] \\ A_1(E) &= G \Gamma_1 G^+ \\ A_2(E) &= G \Gamma_2 G^+ \\ G^n &= [A_1]f(E) + [A_2]f(E) \\ A &\equiv i[G - G^+] = [A_1] + [A_2] \end{aligned} \quad (6)$$

$I$  - ma trận đơn vị,  $H$  - ma trận toán tử Hamilton,  $\Sigma_1$  và  $\Sigma_2$  - ma trận self-energy,  $\Gamma_1$  và  $\Gamma_2$  - ma trận mở rộng là phần ảo của ma trận self-energy,  $A_1$  và  $A_2$  - hàm phổ thành phần,  $A$  - hàm phổ là phần ảo của hàm Green  $G$  cho chấm lượng tử.

### 2.3. Mô phỏng đặc tuyến $I - V$ của SET

#### 2.3.1 Đặc trưng $I_D = f(V_{DS})$



**Hình 3.** Đặc trưng  $I_D - V_{DS}$  của SET với các thông số đầu vào là vật liệu  $SiO_2$ ;

$$\begin{aligned} C_D = C_S &= 0.1 \text{ aF}; R_D = R_S = 1 \text{ M}\Omega; \\ L &= 10 \text{ nm}; W = 10 \text{ nm}; t_{ox} = 0.6 \text{ nm}; \\ T &= 300 \text{ K}; V_{GS} \text{ thay đổi.} \end{aligned}$$

Tại gốc tọa độ, khi chưa cấp điện áp vào cực D so với cực S ( $V_{DS} = 0$ ) thì mức năng lượng Fermi cực S và cực D bằng nhau ( $\mu = \mu_1 = \mu_2$ ), bên cạnh đó điện áp cổng

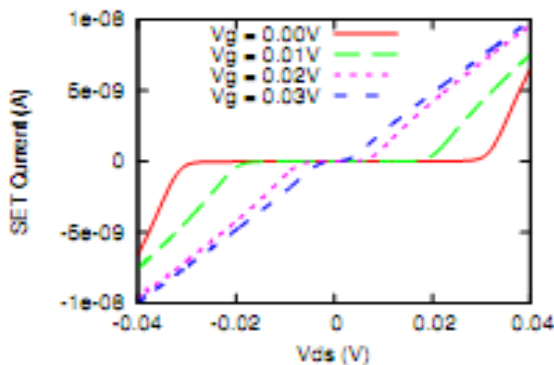
$V_{GS} = 0$ . Do đó, không có dòng  $I_D$  chạy qua kênh dẫn ( $I_D = 0$ ).

Khi có một điện áp đặt vào cực D so với cực S ( $V_{DS} \neq 0$ ) sẽ tạo nên sự chênh lệch mức năng lượng Fermi cực D và cực S là  $\mu_1 - \mu_2 = eV_{DS}$ . Khi điện thế cổng  $V_{GS}$  đặt vào cực G có các giá trị 0 mV, 100 mV và 200 mV thì có kết quả như hình 3. Vì điện thế  $V_{GS}$  làm dịch chuyển mức năng lượng của đảo lên và xuống đến khi mức năng lượng nằm vào khoảng giữa của sự chênh lệch mức năng lượng Fermi cực S và cực D. Khi đó sẽ có dòng điện chạy từ tiếp xúc cực S xuyên qua kênh dẫn đến tiếp xúc cực D và tạo ra dòng điện  $I_D$  ( $I_D \neq 0$ ).

Qua kết quả ở hình 3 ta thấy độ rộng của vùng khóa Coulomb phụ thuộc vào điện thế cổng  $V_{GS}$ , khi thế cổng  $V_{GS}$  càng tăng thì độ rộng của vùng khóa Coulomb càng giảm và bằng không khi  $V_{GS} = e/2C_G$ . Trên hình 3  $V_{GS}=200mV$  thì vùng khóa Coulomb bằng không.

Tiếp theo, khi điện thế  $V_{DS}$  tiếp tục tăng sẽ làm mức năng lượng Fermi cực máng  $\mu_2$  thấp, nên dòng điện  $I_D$  tăng chậm. Nếu tiếp tục tăng điện thế  $V_{DS}$  lên cao nữa sẽ làm cho dòng  $I_D$  tăng chậm và gần như là bão hòa.

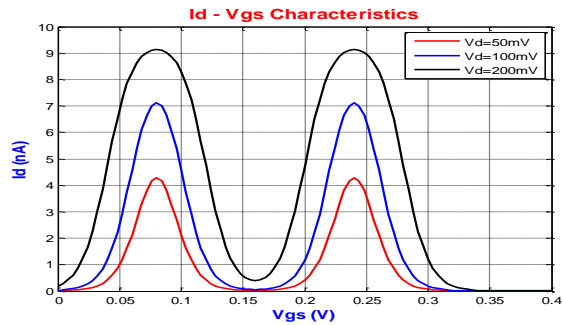
- Kết quả của Nicholas Allec, Robert Knobel, Lisang [10]



**Hình 4.** Đặc trưng  $I_D - V_{DS}$  của SET với các thông số đầu vào là  $C_G = 3 aF$ ;  $C_D = C_S = 1 aF$ ;  $R_D = R_S = 1 M\Omega$ ;  $T = 5 K$  [10]

Qua kết quả ở hình 4 ta thấy khi điện áp  $V_{GS}$  tăng thì vùng khóa Coulomb giảm, tiếp tục tăng điện áp  $V_{GS}$  lên thì vùng khóa Coulomb bằng không. Kết quả này tương tự kết quả mô phỏng trên.

### 2.3.2 Đặc trưng $I_D = f(V_{GS})$



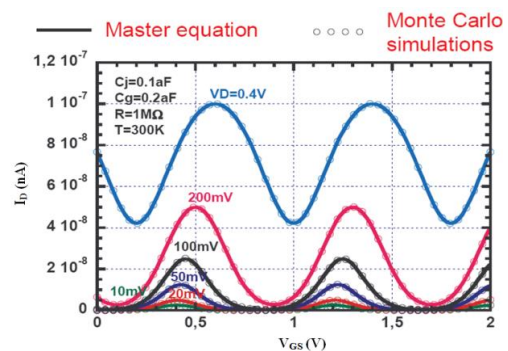
**Hình 5.** Đặc trưng  $I_D - V_{GS}$  của SET với các thông số đầu vào là  $C_D = C_S = C_G = 1 aF$ ;

$$R_S = R_D = 1 M\Omega; V_{GS} = 400 mV; T = 300 K; V_{DS} \text{ thay đổi.}$$

Qua kết quả ta thấy khi  $V_{DS}$  thay đổi sẽ làm ảnh hưởng đến đặc trưng  $I_D - V_{GS}$ . Cụ thể, khi  $V_{DS}$  càng tăng thì dòng  $I_D$  càng tăng và ngược lại.

- Kết quả của mô hình ME và Monte Carlo [3]

Trong hình 6 biểu diễn đặc trưng  $I_D - V_{GS}$  phụ thuộc vào thế  $V_{DS}$ . Qua kết quả ta thấy, khi  $V_{DS}$  càng lớn thì  $I_D$  càng lớn và ngược lại. Đồng dạng kết quả hình 5 khi  $V_{DS}$  càng tăng thì dòng  $I_D$  càng tăng và ngược lại.



**Hình 6.** Đặc trưng  $I_D - V_{GS}$  của mô hình mô hình đối xứng  $C_G = 0.2 aF$ ;  $C_S = C_D = 0.1 aF$ ;  $R_S = R_D = 1 M\Omega$ ;  $bT = 300 K$  [3].

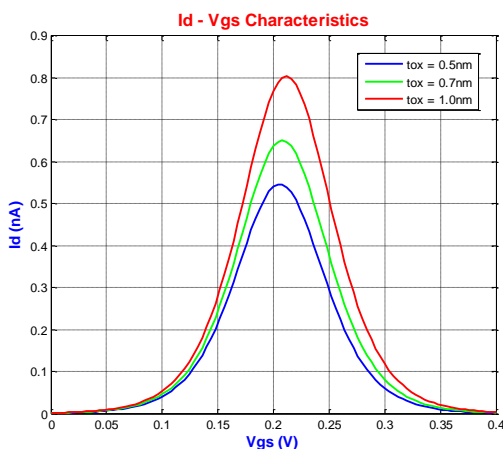
Ở hình 5, xét  $V_{DS} = 50\text{mV}$  ta tính được các giá trị của điện áp cực cổng tại các đỉnh thứ nhất và thứ nhì là  $e/2C_G$  (80mV) và  $3e/2C_G$  (240 mV) tương ứng. Hai đỉnh dòng cách nhau khoảng  $e/C_G$  (160mV).

Ở hình 6, xét  $V_{DS} = 50\text{ mV}$  ta tính được các giá trị của điện áp cực cổng tại các đỉnh thứ nhất và thứ nhì là  $e/2C_G$  (400 mV) và  $3e/2C_G$  (1200 mV) tương ứng. Hai đỉnh dòng cách nhau khoảng  $e/C_G$  (800 mV). Dòng  $I_D = 4.2\text{ nA}$  So sánh hai kết quả trên ta thấy hoàn toàn phù hợp với lý thuyết dao động Coulomb của SET.

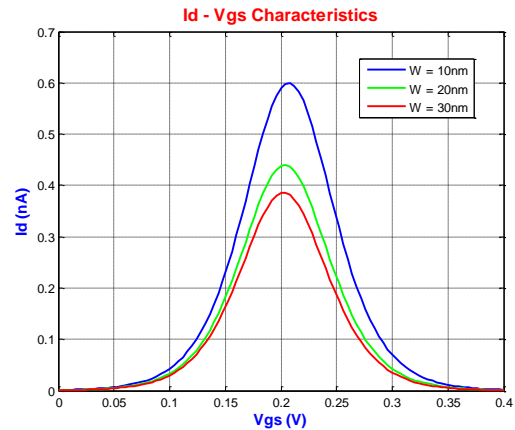
Đặc trưng  $I_D - V_{GS}$  của SET khi thay đổi các thông số được chọn trong phạm vi:

- ✓ Phạm vi độ dày của lớp điện môi cách ly cực cổng G với kênh dẫn  $t_{ox}$  từ 0.6nm đến 1nm
- ✓ Phạm vi độ rộng của kênh dẫn 10nm đến 30nm
- ✓ Phạm vi độ dài kênh dẫn 10nm đến 20nm
- ✓ Điện trở cực máng và cực nguồn  $1M\Omega$  đến  $10M\Omega$

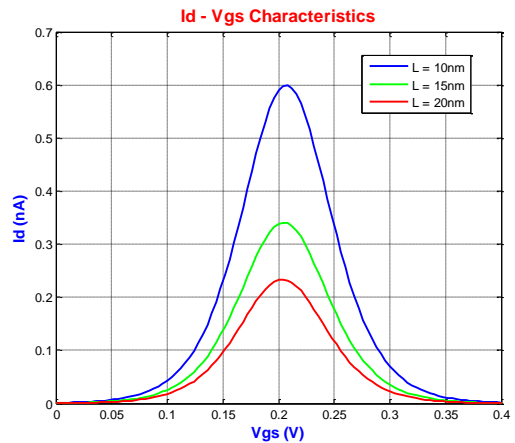
Phạm vi nhiệt độ 300 K đến 400 K



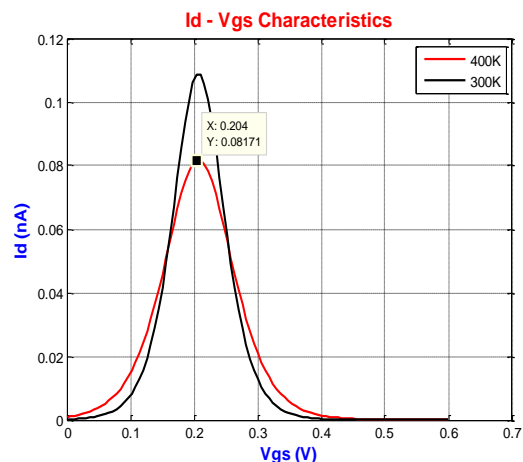
**Hình 7.** Đặc trưng  $I_D - V_{GS}$  của SET; bề dày lớp cách điện cực cổng thay đổi.



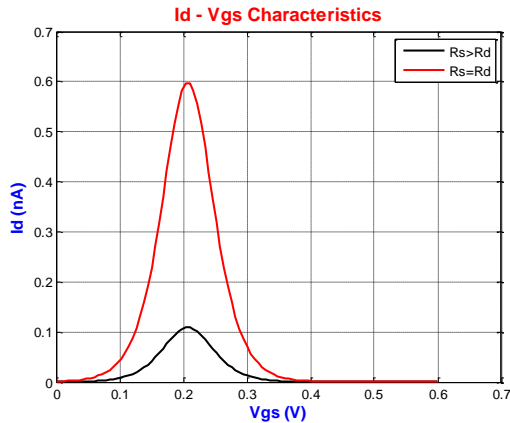
**Hình 8.** Đặc trưng  $I_D - V_{GS}$  của SET; bề rộng của chấm thay đổi.



**Hình 9.** Đặc trưng  $I_D - V_{GS}$  của SET; bề dài của chấm thay đổi.



**Hình 10.** Đặc trưng  $I_D - V_{GS}$  của SET; nhiệt độ T thay đổi



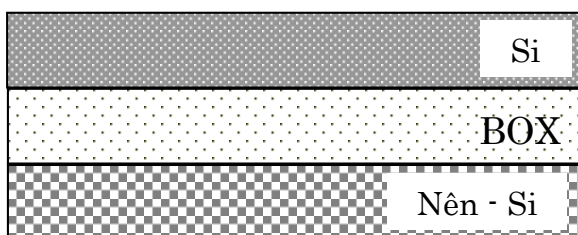
**Hình 11.** Đặc trưng  $I_D - V_{GS}$  của SET đối xứng và bất đối xứng

Qua kết quả ở hình 7 khi giảm độ dày lớp điện môi cách ly cực cổng với kênh dẫn hay khi tăng kích thước độ rộng ở hình 8 và độ dài ở hình 9 của kênh lên đặc trưng dòng điện – điện thế của SET. Các thông số này ảnh hưởng đến tụ cực cổng, tụ này càng lớn thì dòng qua chấm lượng tử càng giảm. Qua kết quả ở hình 10 ảnh hưởng của nhiệt độ lên đặc trưng dòng điện – điện thế của SET, khi nhiệt độ tăng thì độ rộng vùng khóa Coulomb giảm, thế ngưỡng giảm, biên độ dòng đỉnh giảm. Qua kết quả ở hình 11 ảnh hưởng của hiện tượng đối xứng và bất đối xứng của các điện trở cực nguồn và cực máng lên đặc trưng dòng – thế của SET khi tăng giá trị điện trở cực nguồn thì dòng qua chấm lượng tử giảm. Từ đây ta chọn kích thước tối ưu cho SET kích thước chấm lượng tử là 10nm.

### 3. QUY TRÌNH CHẾ TẠO SET

#### 3.1. Các bước hình thành cấu trúc các lớp mẫu SET ( hình 21)

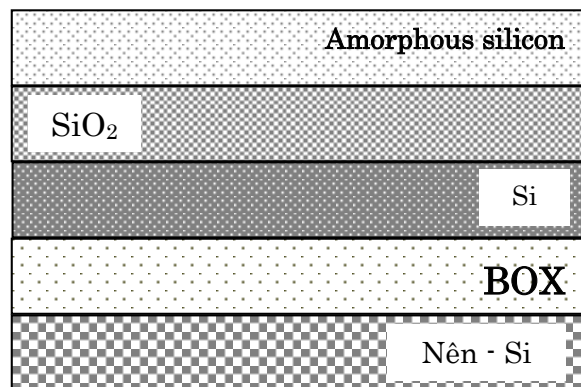
##### Bước 1



**Hình 12.** Làm sạch phiến Si

Làm sạch phiến silic trên chất cách điện (SOI – Silicon On Insulator) với chất acetone và hydrofluoric để loại bỏ tạp chất và  $SiO_2$  tự nhiên từ bề mặt. Sau đó, rửa phiến với nước khử ôxy hóa (DI - Deionized) và làm khô. Trong đó, ôxy silic ngầm (BOX – Buried silicon Oxide) được phát triển trên nền silic.

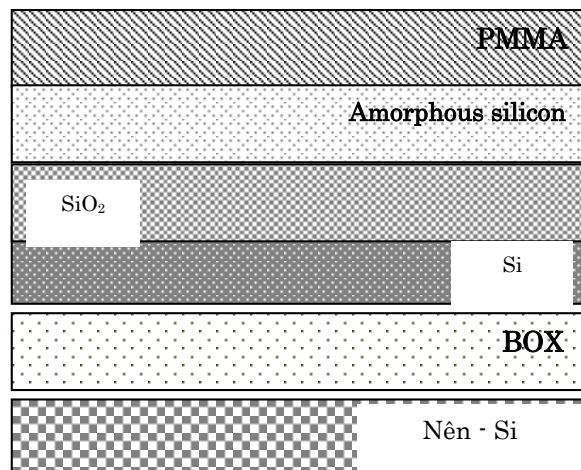
##### Bước 2



**Hình 13.** Phủ lớp  $SiO_2$

Phủ  $SiO_2$  mỏng 30 nm và amorphous silicon 40 nm được lắng đọng liên tục trên bề mặt phiến dùng kỹ thuật lắng đọng bay hơi hóa học gia tăng vật lý.

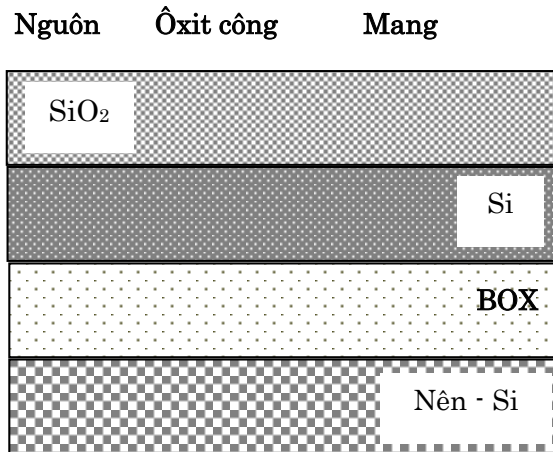
##### Bước 3



**Hình 14.** Phủ lớp cản quang

Một lớp cản quang thủy tinh hữu cơ (PMMA – Polymethy methacrylate) mỏng 50 nm được phủ trên lớp amorphous silicon để tạo khuôn mẫu.

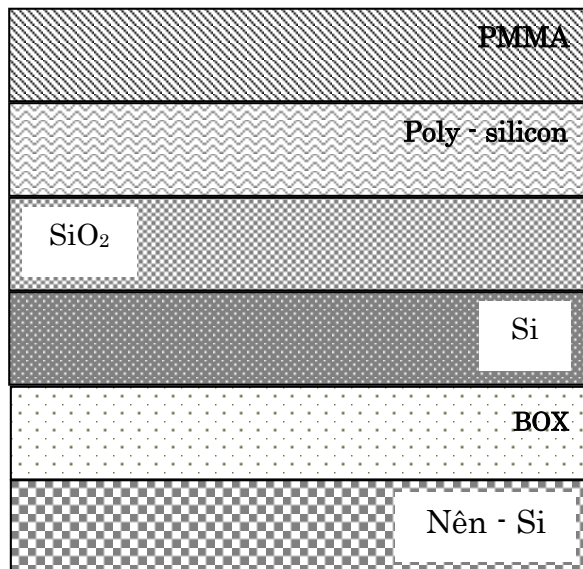
#### Bước 4



**Hình 15. Mặt nạ thứ nhất**

Một mặt nạ thứ nhất được in trên lớp PMMA dùng quy trình quang khắc chùm điện tử. Sau khi phơi bày ra, phiến được sấy khô ở 95°C trước khi nhúng vào dung dịch tráng rửa. Cuối cùng, lớp ôxít dưới PMMA bị ăn mòn dùng kỹ thuật ăn mòn plasma mật độ cao. Lớp ăn mòn trên ôxít sẽ trở thành nguồn, máng và dây nanô của SET.

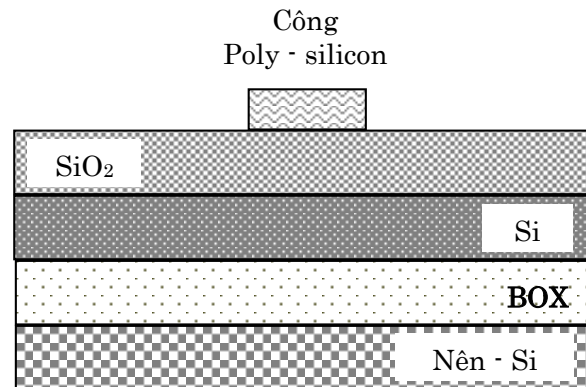
#### Bước 5



**Hình 16. Lắng đọng lớp Poly - silicon**

Một lớp Poly - silicon mỏng 60 nm được lắng đọng trên ôxít công. Sau đó, mặt nạ thứ hai được in trên lớp ôxít công dùng quy trình quang khắc chùm điện tử.

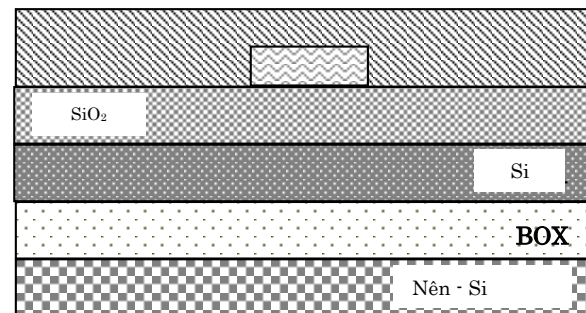
#### Bước 6



**Hình 17. Cổng Poly - silicon được hình thành**

Sau khi vùng không mặt nạ bị ăn mòn, cổng Poly - silicon được hình thành trên lớp ôxít công.

#### Bước 7

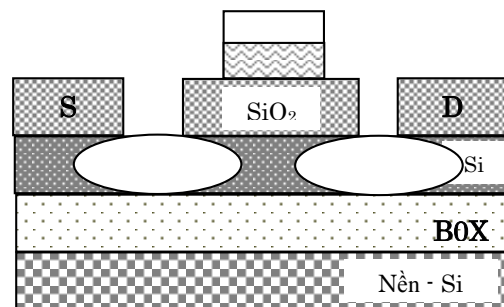


**Hình 18. Quá trình quang khắc**

#### Bước 8

Kế tiếp bước quang khắc khác được sử dụng để khuôn mẫu lớp ôxít tạo thành các lỗ tiếp xúc, thông qua đó đệm đầu dò nhôm tiếp xúc với silic.

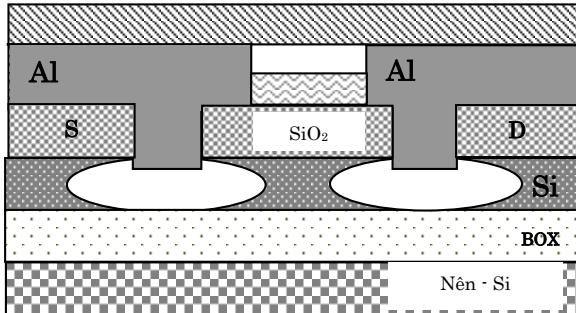
Công Poly – silicon pha Phốtpho



**Hình 19. Hình thành tiếp xúc 2 điện cực**

**Bước 9**

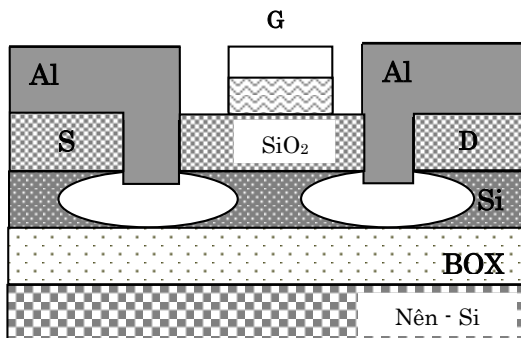
Một lần nữa tiếp xúc được mở ra, một lớp nhôm 200 nm được bay hơi trên toàn bề mặt của phiến dùng môđun lắng đọng bay hơi vật lý (PVD - Physical Vapor Deposition) nhôm.



Hình 20. Quá trình quang khắc

**Bước 10**

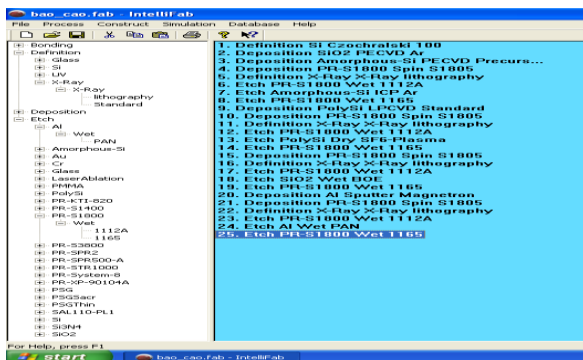
Bước quang khắc cuối cùng được dùng để tạo khuôn mẫu đệm đầu dò và tiếp xúc.



Hình 21. Cấu trúc SET

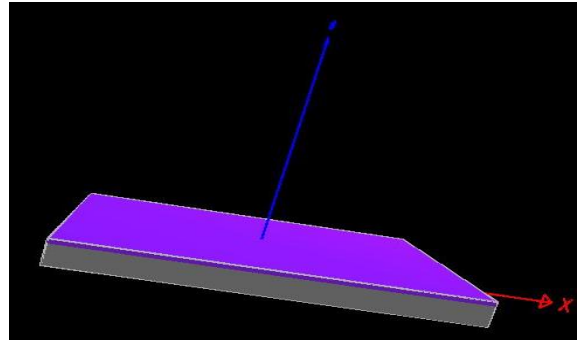
**3.2. Mô phỏng quy trình chế tạo SET**

Trong phần này tác giả mô tả các bước và chế tạo SET bằng phần mềm Intellsuite.



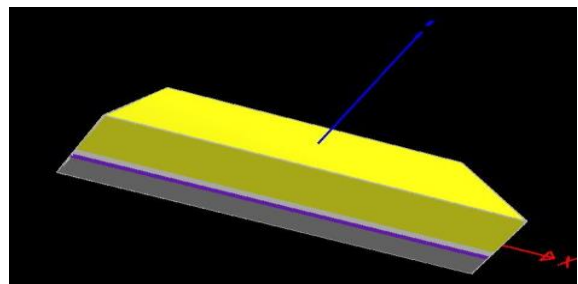
Hình 22. Quy trình chế tạo SET

Bước 1: Tạo đế Si hướng 100, bề dày 70.000nm, đường kính 100nm, điện trở 0.5 ohm-cm, phủ lớp SiO2 bằng phương pháp PECVD ( Physical Enhanced Chemical Vapor Deposition)



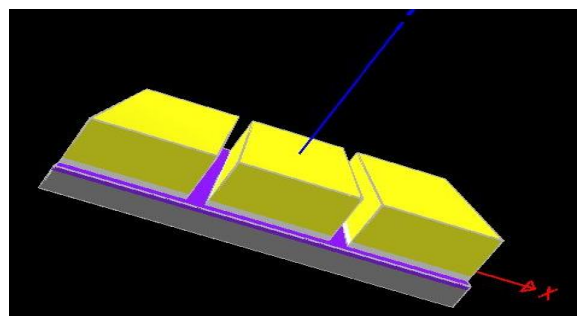
Hình 23. Tạo đế Si và quá trình phủ các lớp

Bước 2: Phủ lớp cản quang dày 300nm, quang khắc bằng phương pháp X-ray dùng mặt nạ (mask 1), bề dày 100.000nm. Ăn mòn lớp cản quang, thời gian ăn mòn 5 phút, nhiệt độ ăn mòn 20°C.



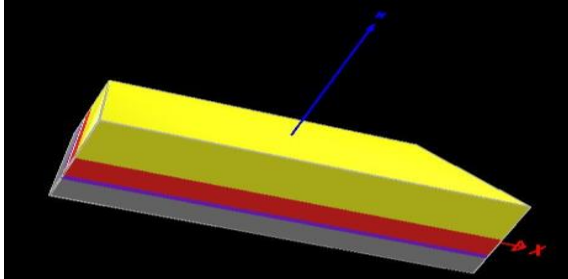
Hình 24. Phủ lớp cản quang, quang khắc, ăn mòn.

Bước 3: Ăn mòn lớp Amorphous Silicon bằng phương pháp Dry -SF6 plasma, thời gian ăn mòn 15 phút, ăn mòn hết lớp cản quang còn lại.



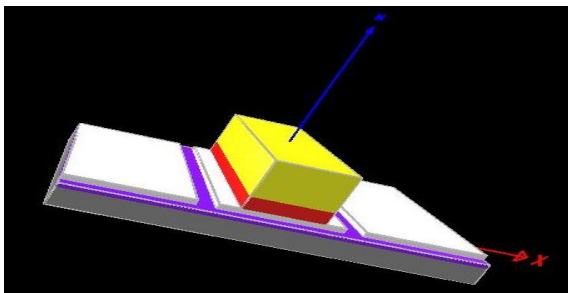
Hình 25 Quá trình ăn mòn hết lớp cản quang

Bước 4: Phủ lớp Poly Silicon bằng phương pháp bằng phương pháp PECVD, bề dày 100nm, phủ lớp cản quang. Quang khắc bằng phương pháp X-ray dùng mask2, ăn mòn chất cản quang.



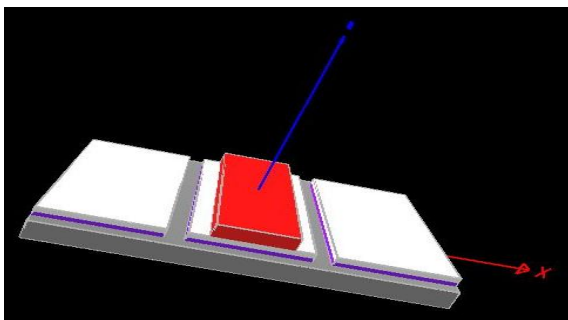
**Hình 26.** Phủ lớp Poly Silicon, lớp cản quang, quá trình quang khắc.

Bước 5: Ăn mòn lớp Poly Silicon bằng phương pháp Dry –SF<sub>6</sub> plasma, ăn mòn hết chất cản quang còn lại.



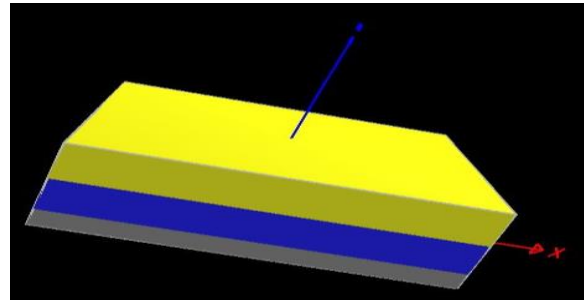
**Hình 27.** Ăn mòn lớp Poly Silicon

Bước 6: Tiếp tục phủ lớp cản quang, quang khắc dùng lại mask 1, ăn mòn chất cản quang, ăn mòn lớp SiO<sub>2</sub> bằng phương pháp ăn mòn ướt, ăn mòn hết chất cản quang còn lại. Phủ Al bằng phương pháp Sputter magnetron bề dày 100nm



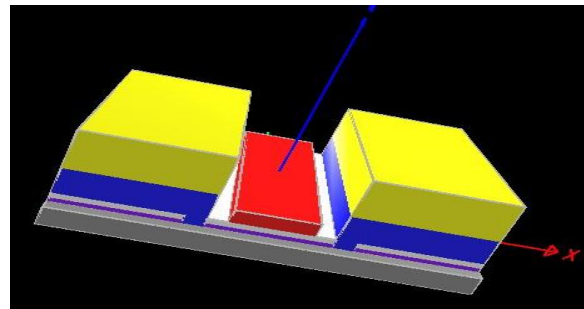
**Hình 28.** Phủ lớp cản quang, quang khắc mask 1, ăn mòn.

Bước 7: Phủ lớp cản quang, quang khắc dùng mask3, ăn mòn chất cản quang.



**Hình 29.** Phủ lớp cản quang, quang khắc mask 3, ăn mòn.

Bước 8: Ăn mòn lớp Al bằng phương pháp ăn mòn ướt, ăn mòn chất cản quang màu vàng còn lại.



**Hình 30.** Cấu trúc SET được hình thành.

#### 4. KẾT LUẬN

Dựa vào mô hình SET tác giả tính hàm phân bố, mật độ trạng thái, mật độ điện tử, dòng điện nguồn-máng của SET dựa vào phương pháp hàm Green không cân bằng, những kết quả mô phỏng đặc trưng dòng-thế được so sánh với các kết quả mô phỏng đã được công bố [10,3]. Khảo sát sự ảnh hưởng của bề dày của lớp oxide cách điện, chiều dài đảo, chiều rộng đảo, nhiệt độ T, sự đối xứng và bất đối xứng của các điện trở cực nguồn và cực máng lên đặc trưng dòng – thế của SET. Bằng cách sử dụng phần mềm Intellisuite, tác giả đã đưa ra các bước để tạo ra các điện cực SET và mô phỏng các bước trong quy trình chế tạo linh kiện SET trước khi đưa ra sản xuất thử nghiệm và hàng loạt. Tiến trình chế tạo và các tính chất của linh kiện được quan

sát rõ ràng trong Intellisuite, nhờ vậy mà đảm bảo được tính thiết kế của linh kiện do đó giá thành sản xuất được giảm đi đáng kể và giảm bớt sai hỏng trong sản xuất.

### TÀI LIỆU THAM KHẢO

- [1] *Intellisuite user guide*, version 8.0/PC, 2005.
- [2] R. H. Chen, A. N. Karotkov, and K. K. Likharev, *A new logic family based on single electron transistors*, Proceedings of Device Res. Conf., p. 44-45, 1995.
- [3] C. Wasshuber, *SIMON- A simulation for single Electron Tunnel devices and circuits*, IEEE Trans. on CAD., Vol.16, N<sup>o</sup>9, pp. 937-944, 1997.
- [4] K. Uchida, K. Matsuzawa, J. Koga, R. Ohba, S. Takagi, and A. Toriumi, *Analytical Single Electron Transistor (SET) model design and analysis of realistic SET circuits*, Jnp. J. Appl. Phys., vol. 39, pp. 2321-2324, 2000.
- [5] Y. S. Yu, J. H. Oh, S. W. Hawng, and D. Ahn, *Implementation of single electron circuit simulation by SPICE: KOSEC-SPICE*, Proceedings of Asia Pacific Workshop on fundamental application of advanced semiconductor device, p. 85-90, 2000.
- [6] S. Mahapatra, A.M. Ionescu, and K. Banerjee (2002), *A quasi-analytical SET model for few electron circuit simulation*, IEEE Trans. Electron Devices, vol. 23, no. 7, 2002.
- [7] C. Wasshuber , *Computational Electronics*, New York: Springer-Verlag, 2002.
- [8] K. K. Likharev, SETTRAN - *A simulator for single lectron transistor*, Available: <http://hana.physics.sunysb.edu/set/software>.
- [9] Supriyo Datta, *Quantum Transport: Atom to Transistor*, Cambridge University Press, 2005.
- [10] Nicholas Allec, Robert Knobel, Lisang , *Adaptive Simulation of Single – Electron Devices* , 978-3-9810801-3-1/ Date 082008EDAA.

#### Tác giả chịu trách nhiệm bài viết

Lê Hoàng Minh

Trường Đại học Sư phạm Kỹ thuật TP.HCM

Email: [minhhlh@hcmute.edu.vn](mailto:minhhlh@hcmute.edu.vn)