

## ỨNG DỤNG MEMRISTOR ĐỂ THIẾT KẾ MẠCH NHẬN DẠNG KÍ TỰ SỬ DỤNG BỘ NHÂN TÍN HIỆU MEMRISTOR-BASED CHARACTER RECOGNITION USING SIGNAL MULTIPLICATOR

Huỳnh Hoàng Hà, Võ Minh Huân

Trường Đại học Sư phạm Kỹ Thuật TP.HCM

Ngày tòa soạn nhận bài 02/02/2015, ngày phản biện đánh giá 8/3/2015, ngày chấp nhận đăng 12/3/2015

### TÓM TẮT

Thiết kế mạch nhận dạng kí tự ứng dụng memristor thông qua phép nhân tín hiệu được trình bày trong bài báo. Mạch nhận dạng sử dụng 7 cổng XOR được thiết kế từ memristor. Bằng cách điều khiển hoạt động của memristor phù hợp, ta sẽ thu được điện áp ngõ ra tương ứng với từng tập dữ liệu ngõ vào. Dựa vào điện áp ngõ ra và tập mẫu dữ liệu có sẵn, ta xác định được kí tự cần nhận dạng. Đặc biệt, ngõ ra được lưu trữ trong các phần tử memristor, không bị mất dữ liệu ngay cả khi ngưng cấp nguồn và dữ liệu ngõ ra có thể truy cập lại được sau đó. Cấu trúc mạch nhận dạng kí tự có ứng dụng memristor giúp tiết kiệm được năng lượng tiêu hao, quá trình xử lý nhanh và mật độ tích hợp cao khi số ngõ vào càng lớn. Bài báo sử dụng mô hình memristor lý tưởng. Tất cả kết quả nghiên cứu được mô phỏng bằng công cụ Cadence.

**Từ khóa :** memristor, cổng XOR, phép nhân tín hiệu, nhận dạng kí tự.

### ABSTRACT

A character recognition based on memristor via resistive logic signal multiplication is introduced. The integrated circuit uses seven memristor-based XOR gates and XOR gate is made by the combination of Memristors. By controlling the memristor's operation suitably, we obtain the corresponding output voltage according to the inputs. The interests of this circuit structure is the output registered in the nonvolatile memristors, so that the computed output can be stored without power supply and accessed anytime later. This circuit structure saves energy, the processing speed is fast and the integration density is high for the large number of inputs. The report mainly focuses on the model of ideal memristor. All the simulation results are studied using Cadence tool.

**Index Terms:** memristor, XOR, signal multiplication, character recognition.

### I. GIỚI THIỆU

Việc xử lý thông tin ngày càng phức tạp đòi hỏi các hệ thống trong tương lai phải có độ tích hợp cao hơn, để vượt qua được giới hạn hiện tại của công nghệ CMOS truyền thống, cùng với giới hạn của phương pháp “quang khắc”. Định luật Moore's Law cũng đang dần tiến đến giới hạn của mình vì khả năng tích hợp của công nghệ CMOS là có giới hạn. Để đạt được yêu cầu về độ tích hợp ngày càng cao, thì các công nghệ, chất liệu mới cũng đã và đang được nghiên cứu nhiều với mục đích là thay thế được công nghệ CMOS hiện nay. Các

thiết bị memristor[1], [2] hoạt động như các chuyển mạch, có khả năng điều khiển được bằng điện áp lưỡng cực, đã được sử dụng để xây dựng lên các mạch bán dẫn mật độ cao. Ngoài ra, memristor còn có một đặc tính quan trọng nữa là khả năng lưu trữ trạng thái trở kháng trước đó, ngay cả khi ngưng cấp nguồn cho mạch. Mở ra khả năng áp dụng các thiết bị memristor này vào các bộ nhớ không bay hơi, cổng logic, FPGA với mật độ cao hơn, quan trọng hơn là có khả năng thích nghi với công nghệ CMOS [3], [4]. Do đó, các kiến trúc tính

toán nano dựa trên memristors hứa hẹn sẽ tạo ra được các ứng dụng tính toán mật độ cao và tiêu thụ công suất thấp.

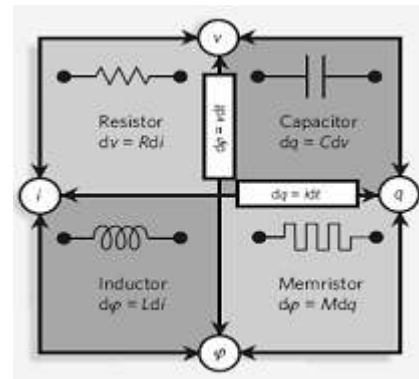
Có rất nhiều cơ hội nghiên cứu được mở ra cho công nghệ memristive (trở kháng nhớ). Ví dụ như các ứng dụng: bộ nhớ không bay hơi tích hợp mật độ cao, bộ xử lý tín hiệu [5], synaptic neuromorphic networks [6]... Dựa vào các bài báo đã nghiên cứu, *bài báo này sẽ giới thiệu về một kiến trúc tính toán trở kháng nhớ mật độ cao để nhận dạng các kí tự thông qua mức điện áp* ngõ ra tính toán được, dựa trên nguyên lý của bộ nhân tín hiệu cơ bản. Trong nghiên cứu này, thì bộ nhân trở kháng nhớ sẽ được nhúng vào trong mạch tích hợp lai, gồm có các phần tử memristor 2 trạng thái và chuyển mạch CMOS. Mạch nhận dạng này sẽ dựa trên nhiều cổng logic XOR, đóng vai trò như bộ nhân trở kháng, được kết nối với nhau. Cụ thể là, một dãy song song các cổng XOR được kết hợp với nhau để tính toán các phép nhân một cách đồng thời và được tổng hợp kết quả ở ngõ ra của mạch.

Bài báo này được trình bày như sau. Phần I giới thiệu tổng quan về bài báo. Phần II sẽ trình bày về đặc tính của memristor. Phần III trình bày nguyên lý hoạt động của cổng logic XOR sử dụng memristor. Phần IV là thiết kế mạch nhận dạng kí tự sử dụng memristor. Phần V mô phỏng mạch bằng công cụ Cadence. Theo sau đó, phần VI sẽ kết luận đề tài.

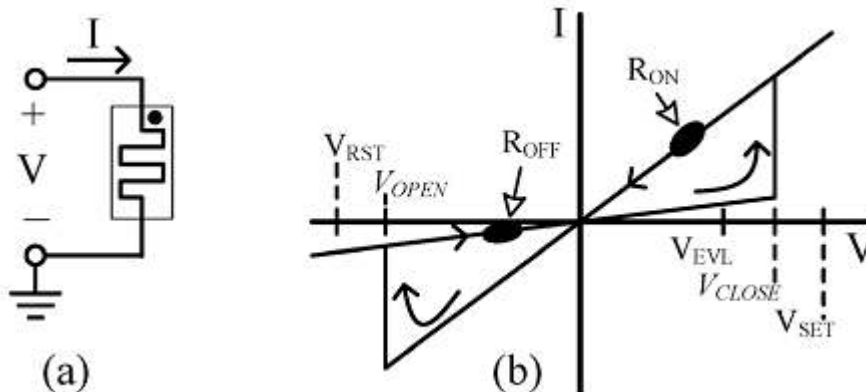
## II. TÍNH CHẤT CỦA MEMRISTOR

Memristor được phát hiện bởi Leon Chua vào năm 1970, đóng vai trò như nguyên tố

mạch cơ bản còn thiếu, bên cạnh điện trở, cuộn dây và tụ điện. Memristor thể hiện mối quan hệ giữa điện tích và từ thông như hình 1 [8]. Nhưng đến năm 2008, một nhóm nghiên cứu của R.Stanley Williams ở phòng nghiên cứu HP mới công bố sự tồn tại của nguyên tố mạch này. Nguyên liệu chính sử dụng xây dựng memristor là một lớp titan oxit mỏng. Không giống như các nguyên tố cơ bản khác, memristor có thể thay đổi được trạng thái trở kháng. Ngay cả khi ngừng cung cấp nguồn thì memristor vẫn ghi nhớ được lượng điện tích đã chạy qua. Nếu sử dụng một nguồn điện áp nhỏ để điều khiển, thì chúng hoạt động như các thiết bị mạch tương tự; ngược lại, nếu sử dụng nguồn điện áp lớn, thì chúng hoạt động như các thiết bị số với 2 mức trạng thái trở kháng và được điều khiển bằng 2 mức điện áp lưỡng cực [8], [9], có đặc tuyến I-V như hình 2(b).



Hình 1: Mô tả mối quan hệ giữa điện tích, dòng điện, điện áp, từ thông



Hình 2: (a) Memristor; (b) Đặc tuyến I-V của memristor khi sử dụng điện áp lớn

Bài báo này chỉ tập trung phân tích vào khía cạnh hoạt động như một thiết bị số của memristor. Nên đặc tuyến I-V trong trường hợp này giống như hình 2(b). Hình này thể hiện mối quan hệ giữa dòng điện và điện áp, thông qua đó cho thấy tính chất trở kháng của memristor. Trở kháng sẽ được giữ không đổi khi điện áp đặt vào ( $V_{EVL}$ ) không vượt ra ngoài ngưỡng [ $V_{OPEN}$ ,  $V_{CLOSE}$ ] và đảo trạng thái trở kháng khi sử dụng điện áp ngoài ngưỡng [ $V_{OPEN}$ ,  $V_{CLOSE}$ ].

Khi đó, memristor được xem như một thiết bị trở kháng nhớ lưỡng cực, gồm có 2 trạng thái trở kháng. Trở kháng ở mức thấp được kí hiệu  $R_{ON}$ , trở kháng ở mức cao được kí hiệu là  $R_{OFF}$  [10]. Trở kháng giả định sẽ chuyển trạng thái từ  $R_{OFF}$  sang  $R_{ON}$  (hay  $R_{ON}$  sang  $R_{OFF}$ ) với khoảng thời gian chuyển mạch  $T_S \approx 0$  khi đặt vào 2 đầu memristor một mức điện áp  $V_{SET}$  (hay  $V_{RST}$ ) với biên độ lớn hơn (hay nhỏ hơn) mức điện áp ngưỡng  $V_{CLOSE}$  (hay  $V_{OPEN}$ ). Đồng thời, quá trình này cần phải thực hiện trong một khoảng thời gian  $T_{HOLD}$  phù hợp [11], [12]. Mô hình đặc tính của memristor được mô tả bằng ngôn ngữ Verilog-A. Các thông số thiết bị được sử dụng trong phần sau của bài báo này:  $R_{OFF} = 5 \text{ k}\Omega$ ,  $R_{ON} = 1 \text{ k}\Omega$ ,  $V_{CLOSE} = 3.5 \text{ V}$ ,  $V_{OPEN} = -3.5 \text{ V}$ ,  $T_S = 0$ ,  $T_{HOLD} = 10 \text{ us}$ ,  $R_S = 1 \text{ k}\Omega$ ,  $V_{SET} = 5 \text{ V}$ ,  $V_{RST} = -5 \text{ V}$ . Với qui ước: mức logic '1' nghĩa là:  $V_X = V_{EVL}$ ,  $R_Y = R_{ON}$ ,

and  $R_p = R_{ON}$ . Mức logic '0' nghĩa là:  $V_X = 0$ ,  $R_Y = R_{OFF}$ , and  $R_p = R_{OFF}$ .

### III. NGUYÊN LÝ HOẠT ĐỘNG CỦA CỔNG XOR SỬ DỤNG MEMRISTOR

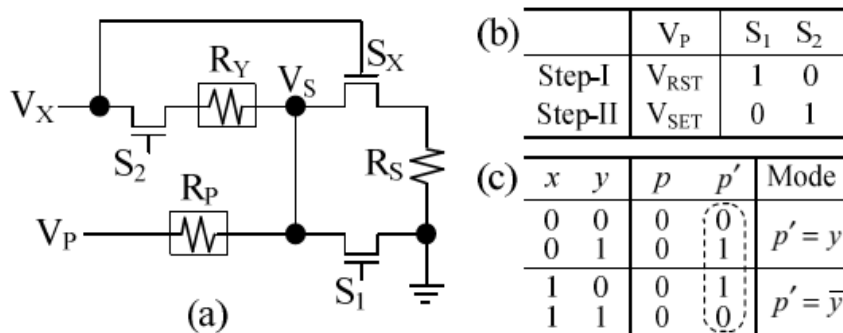
Cấu trúc mạch XOR sử dụng 2 memristor, 3 chuyển mạch CMOS và 1 điện trở [13]. Vì khả năng tích hợp cao của nguyên tố memristor nên cấu trúc mạch có mật độ tích hợp cao hơn công nghệ CMOS truyền thống. Cấu trúc mạch chi tiết được trình bày trong hình 3(a), với 2 ngõ vào: ngõ vào điện áp  $V_X$  (x) và ngõ vào memristor  $R_Y$  (y), 1 ngõ ra là memristor  $R_p$  (p'). Khác với cổng XOR truyền thống, quá trình xử lý của mạch thực thi qua 2 bước như trong hình 3(b). Và bảng sự thật tương ứng giữa 2 ngõ vào với 1 ngõ ra được trình bày như trong hình 3(c). Ngõ ra ở bước 1 là p, ngõ ra ở bước 2 là p', đây là kết quả cuối cùng của ngõ ra. Để mạch hoạt động hiệu quả, thì giá trị của  $V_p$ ,  $V_X$  phải được lựa chọn phù hợp và thỏa mãn 4 ràng buộc [7] ( với  $\alpha = R_{OFF}/R_{ON}$  and  $\beta = R_{OFF}/R_S$ ):

$$V_{SET} < 2 \times V_{CLOSE} \quad (1)$$

$$V_{SET} \geq \left(\frac{1}{1+\beta}\right) \times V_{EVL} + \left(1 + \frac{1}{1+\beta}\right) \times V_{CLOSE} \quad (2)$$

$$V_{SET} > (1 + \beta) \times V_{EVL} - (2 + \beta) \times V_{CLOSE} \quad (3)$$

$$V_{SET} < \left(\frac{\alpha}{\alpha+\beta}\right) \times V_{EVL} + \left(1 + \frac{1}{\alpha+\beta}\right) \times V_{CLOSE} \quad (4)$$



Hình 3: (a) Mạch cổng XOR sử dụng memristor, (b) Quá trình xử lý, (c) Bảng sự thật của cổng XOR

Trước khi quá trình xử lý xảy ra 2 bước, 2 ngõ vào được gán giá trị trước. Sau đó, trong bước 1,  $V_p = V_{RST}$ ,  $S_1 = '1'$ ,  $S_2 = '0'$ , nên  $R_p$  được nối tắt xuống đất, và với mức điện áp  $V_{RST}$  ở chân  $V_p$  được đặt hoàn toàn lên  $R_p$ , làm cho trở kháng của memristor  $R_p$  được đưa về mức '0' ( $R_{OFF}$ ), bất chấp ngõ vào x, y đang ở trạng thái nào.

Trong bước 2,  $V_p = V_{SET}$ ,  $S_1 = '0'$ ,  $S_2 = '1'$ . Khi x = '0', thì  $S_x$  không dẫn,  $R_p$  và  $R_y$  được mắc nối tiếp và nối xuống đất thông qua  $S_2$  như hình 4(a),  $V_{RP} = V_p \times R_p / (R_p + R_y)$ . Nếu y = '0', thì  $V_{RP} = 2.5$  V, trở kháng  $R_p$  không đổi, nên p' = '0'. Nếu y = '1', thì  $V_{RP} = 4.16$  V, trở kháng  $R_p$  đảo trạng thái, nên p' = '1'.

Ngược lại, khi x = '1', hay  $V_x = V_{EVL} (>0)$ , thì  $S_x$  dẫn,  $R_p$  và  $R_y$  sẽ được mắc song song và nối tiếp với  $R_s$  như hình 4(b).

Nếu y = '0' thì ta có hệ phương trình (5):

$$\begin{cases} i_1 + i_2 - i_3 = 0 \\ 5i_1 - 5i_2 = 2 \\ 5i_1 + i_3 = 5 \end{cases} \quad (5)$$

Giải phương trình 5 thu được:  $i_1 = 0.77$  mA;

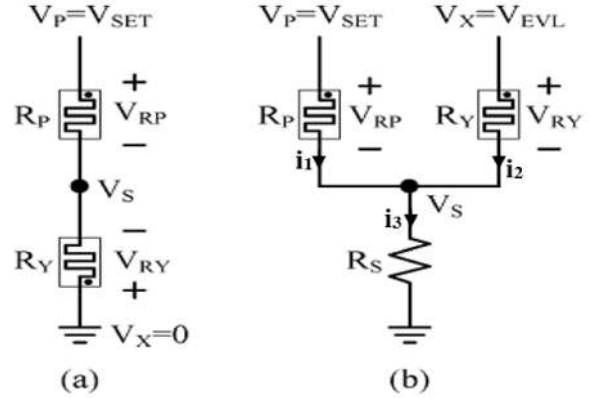
$$i_2 = 0.37 \text{ mA}; i_3 = 1.14 \text{ mA}.$$

$V_{RP} = i_1 \times R_p = 3.85$  V. Nên  $R_p$  sẽ chuyển trạng thái từ '0' sang '1', hay p' = '1'.

Tương tự, nếu y = '1' thì ta có hệ phương trình (6):

$$\begin{cases} i_1 + i_2 - i_3 = 0 \\ 5i_1 - i_2 = 2 \\ 5i_1 + i_3 = 5 \end{cases} \quad (6)$$

Giải hệ 6 thu được:  $i_1 = 0.64$  mA;  $i_2 = 1.18$  mA;  $i_3 = 1.82$  mA. Nên  $V_{RP} = i_1 \times R_p = 3.2$  V. Nên  $R_p$  sẽ giữ nguyên trạng thái '0' hay p' = '0'.

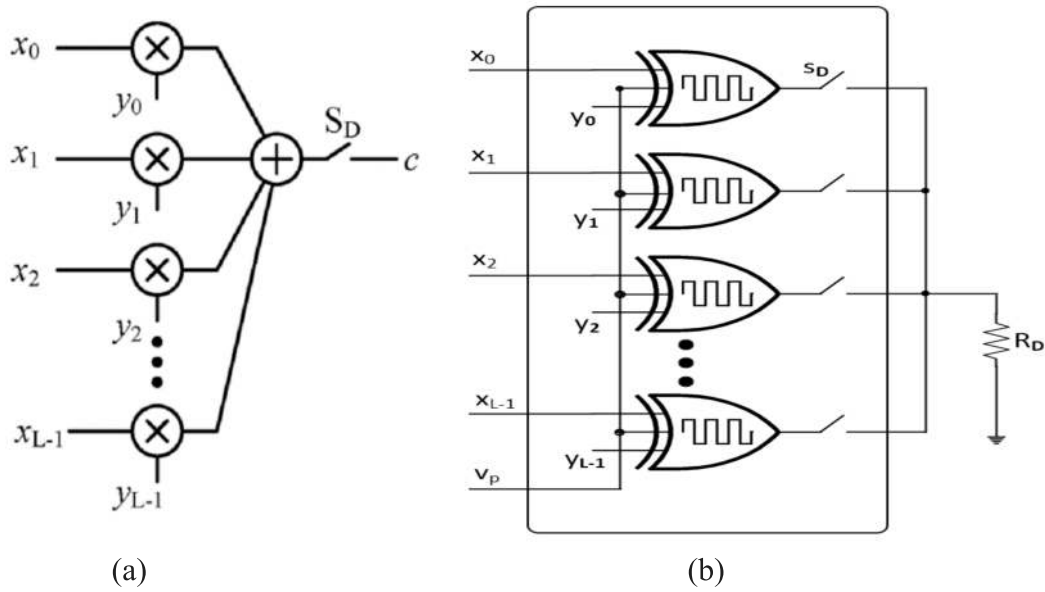


Hình 4: Mạch hình 3 được vẽ lại: (a) Bước 2 với  $V_x = 0$ ; (b) Bước 2 với  $V_x = V_{EVL} > 0$

#### IV. THIẾT KẾ MẠCH NHẬN DẠNG KÍ TỰ SỬ DỤNG MEMRISTOR

Trong nhiều ứng dụng nhận dạng mẫu của âm thanh, kí tự, hình ảnh, hay trong nhiều phân tích dữ liệu khoa học của khí hậu, không gian, y học..., phép nhân giữa mẫu dữ liệu ngõ vào và dữ liệu tham chiếu được lưu trữ trước là một phương pháp nhằm xác định sự đồng dạng cơ bản để nhận dạng các mẫu dữ liệu ngõ vào.

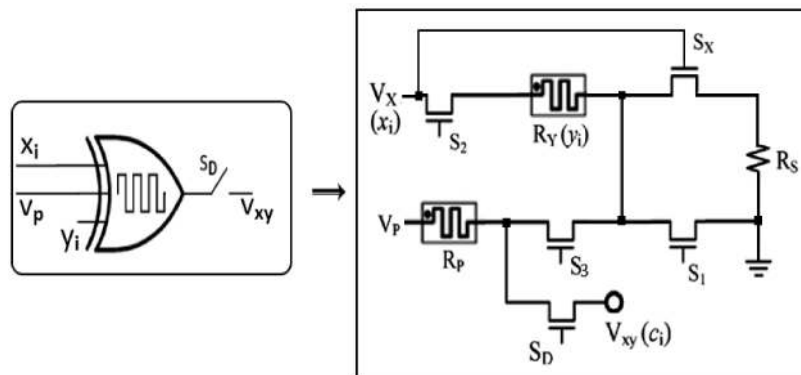
Cổng XOR xây dựng từ memristor được sử dụng như là một phần tử nhân, dùng để thiết kế mạch nhận dạng kí tự. Một trong hai ngõ vào của cổng XOR được dùng để lưu trữ dữ liệu tham chiếu ( $R_y$ ), ngõ vào còn lại ( $V_x$ ) dùng làm ngõ vào của mạch. L phần tử nhân XOR được sử dụng để xây dựng mạch nhận dạng kí tự như hình 5. Ngõ ra của mạch là điện áp  $V_{xy}$  đặt trên điện trở  $R_D$ . Ngoài ra, mạch có thêm một ngõ vào điều khiển áp  $V_p$ . Vì vậy, nếu dùng L cổng XOR, thì mạch sẽ gồm L+1 ngõ vào và một ngõ ra như hình 5(b).



Hình 5: Mạch nhận dạng kí tự sử dụng bộ nhân: (a) Với cổng XOR thông thường; (b) Với cổng XOR sử dụng memristor

Hình 5(a) là một dạng mạch nhận dạng, sử dụng các phần tử nhân XOR theo công nghệ CMOS truyền thống. Ngõ ra của các cổng XOR này là điện áp, mang 2 mức logic '0' và '1', không thể kết hợp trực tiếp với nhau, vì vậy phải sử dụng thêm một bộ cộng ngõ ra. Số ngõ vào của mạch càng lớn, thì cấu trúc bộ cộng càng phức tạp, thời gian xử lý càng lâu. Trong khi đó, hình 5.1(b) là mạch nhận dạng sử dụng các phần tử nhân XOR có chứa mem-

ristor. Ngõ ra của các cổng XOR này là trở kháng  $R_{pi}$ , nên có thể kết hợp với nhau, tổng trở của các ngõ ra của các cổng XOR được tính thông qua điện áp  $V_p$  mà không cần dùng thêm bộ cộng. Với kiến trúc mạch này, thì tốc độ xử lý hoàn toàn không phụ thuộc vào số lượng ngõ vào, việc thêm, bớt ngõ vào cũng không gây ảnh hưởng đến toàn mạch. Cấu trúc chi tiết của một cổng XOR dựa trên memristor được sử dụng trong mạch nhận dạng như hình 6.



Hình 6: Cấu trúc cổng XOR sử dụng memristor

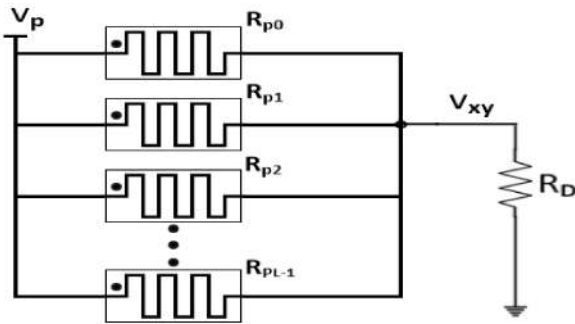
Cấu trúc cổng XOR trong hình 6 tương tự như cổng XOR trong hình 3, được thực thi

qua 3 bước, và có thêm 2 chuyển mạch  $S_3$  và  $S_D$  dùng để tính điện áp ngõ ra của mạch ở bước III như trong bảng 1.

Bảng 1: Trình tự thực thi của mạch nhận dạng kí tự

Bước	$V_p$	$S_1$	$S_2$	$S_3$	$S_D$	Chế độ
I	$V_{RST}$	1	0	1	0	Reset
II	$V_{SET}$	0	1	1	0	XOR
III	$V_{EVL}$	0	0	0	1	Evaluate

Ngõ vào  $R_{Y_i}$  ( $y_i$ ) của các cổng XOR đóng vai trò lưu trữ dữ liệu tham chiếu, và được đặt cố định là  $R_{OFF}$  ('0'). Các ngõ vào  $V_{X_i}$  ( $x_i$ ) là các ngõ vào của mạch. Quá trình xử lý của mạch nhận dạng diễn ra theo 3 bước như bảng 1. Trong bước I và II, các phần tử XOR thực hiện phép nhân một bit như cổng XOR trong hình 3, để tính toán trở kháng của  $R_{P_i}$ . Với ngõ vào  $R_{Y_i}$  đều được cố định là  $R_{OFF}$  nên khi ngõ vào  $V_{X_i}$  có giá trị logic là '1', thì  $R_{P_i}$  sẽ đảo trạng thái lên '1' ( $R_{ON}$ ); ngược lại, khi  $V_{X_i}$  có giá trị logic là '0', thì  $R_{P_i}$  giữ nguyên trạng thái '0' ( $R_{OFF}$ ). Ở bước III, các chuyển mạch  $S_1, S_2, S_3$  đều ngưng dẫn,  $S_D$  dẫn. Các memristor  $R_{P_i}$  được cách ly với mạch và kết nối song song với nhau như hình 7.



Hình 7: Mạch hình 5(b) được vẽ lại ở bước III

Theo hình 7 ta có:

$$\frac{1}{R_p} = \frac{1}{R_{p0}} + \frac{1}{R_{p1}} + \dots + \frac{1}{R_{pL-1}} \quad (7)$$

$$V_{XY} = \frac{V_p \times R_D}{R_p + R_D} = \frac{V_{EVL} \times R_D}{R_p + R_D} \quad (8)$$

Ở bước III,  $V_p$  và  $R_D$  phải thỏa mãn ràng buộc sau:

$$V_{OPEN} < (V_{EVL} - V_{XY}) < V_{CLOSE} \quad (9)$$

Kết hợp (8) và (9) ta được:

$$V_{OPEN} < \frac{V_{EVL} \times R_p}{R_p + R_D} < V_{CLOSE} \quad (10)$$

Vậy khi  $V_p$  và  $R_D$  được lựa chọn phù hợp với ràng buộc (10), ta sẽ tính được điện áp ngõ ra  $V_{XY}$  (theo công thức (8)). Giá trị điện áp  $V_{XY}$  thay đổi theo ngõ vào  $V_{X_i}$  của mạch. Với sơ đồ mạch này, ta có thể nhận dạng được bất kì mẫu kí tự nào, bằng cách quy ước mỗi kí tự muốn nhận dạng ứng với một trường hợp ngõ vào. Và dựa vào điện áp  $V_{XY}$  đo được ở ngõ ra, ta xác định được kí tự cần được nhận dạng.

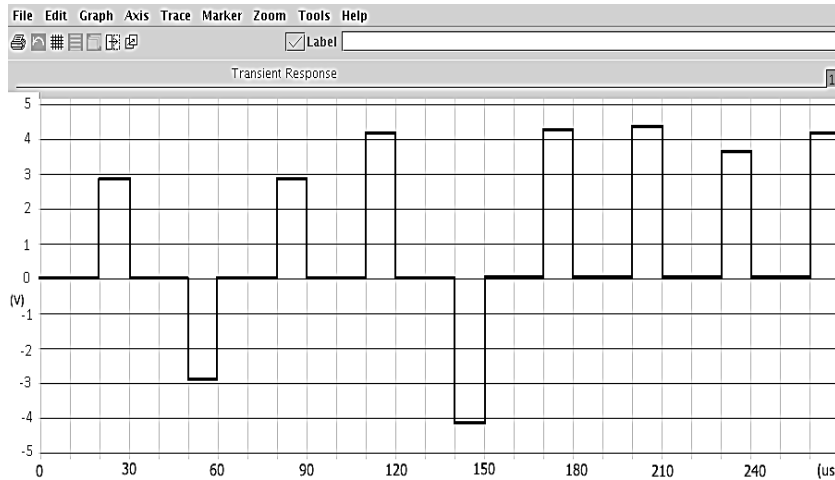
### V. MÔ PHỎNG: MẠCH NHẬN DẠNG KÍ TỰ BẰNG CÔNG CỤ CADENCE

Đề tài đã được mô phỏng bằng công cụ Cadence, công cụ chuyên sử dụng trong lĩnh vực thiết kế chất bán dẫn, với 7 cổng XOR ( $L=7$ ),  $R_D = 1 \text{ k}\Omega$ ,  $V_{EVL}$  sử dụng 2 mức điện áp 5 V và -5 V tương ứng với 2 mức logic '1' và '0' (trong bước III). Các ngõ vào  $R_{Y_i}$  đã được đặt cố định mức '0'. Vì vậy, mạch có 8 ngõ vào và 1 ngõ ra như hình 8(a). Cấu trúc của một cổng XOR trong Cadence được thiết kế như hình 8(b). Trong mô phỏng này, mục tiêu là nhận dạng các kí tự trong từ "MEMRISTOR", nên đề tài đã tiến hành mã hóa tương ứng 16 kí tự chữ viết từ 'E' đến 'T' trong bảng chữ cái. Bộ 16 trường hợp ngõ vào cùng với 16 mức điện áp ngõ ra sẽ tương ứng với 16 kí tự như trong bảng 2.



Sơ đồ mạch được thiết kế như trong hình 8 bằng công cụ Cadence. Quá trình thực thi diễn ra theo 3 bước theo bảng 1. Và với 16 kí tự chữ đã được mã hóa trước như bảng 2, đề tài đã tiến hành nhận diện 7 kí tự: E, I, M, O, R,

S, T trong từ “MEMRISTOR”. Kết quả dạng sóng trả về chính là điện áp ngõ ra  $V_{xy}$  như trong hình 9. Và điện áp đo được (ở bước III) tương ứng với các trường hợp ngõ vào được tổng hợp trong bảng 3.



Hình 9: Dạng sóng ngõ ra của mạch nhận dạng kí tự

**Bảng 3:** Điện áp ngõ ra đo được ở bước III tương ứng với các ngõ vào

Kí tự	M	E	M	R	I	S	T	O	R
$V_{xy}$ đo được (V)	2.917	-2.917	2.917	4.2	-4.1	4.3	4.4	3.75	4.2
$V_{xy}$ tính toán (V)	2.917	-2.917	2.917	4.219	-4.107	4.306	4.375	3.75	4.219
Độ chính xác (%)	100	100	100	99	99	99	99	100	99

Trong hình 9, mỗi bộ ngõ vào được thực thi qua một quá trình trong 30 us gồm 3 bước, mỗi bước thực hiện trong 10 us. Trong bước I và II,  $S_D = '0'$ , ngõ ra  $V_{xy}$  bị cách ly, nối xuống đất thông qua điện trở  $R_D$ , nên  $V_{xy} = 0$  V. Ở bước III,  $S_D = '1'$ , điện áp ngõ ra ( $V_{xy}$ ) có giá trị và được dùng để nhận dạng kí tự trong mỗi quá trình (kết quả đo lường cụ thể như bảng 3). Cuối cùng, tra điện áp ngõ ra  $V_{xy}$  đo lường được ở bảng 3 với kết quả tính toán theo lý thuyết ở bảng 2, ta xác định được kí tự cần được nhận dạng.

## VI. KẾT LUẬN

Bài báo nghiên cứu tập trung về cấu trúc, đặc điểm của công nghệ vi mạch mới – điện trở nhớ (Memristor). Qua đó, ứng dụng memristor để thiết kế mạch nhận dạng kí tự. Trong

điều kiện lý tưởng, bỏ qua điện áp tiêu hao của mạch, thì kết quả nhận dạng chính xác đến 99%. Nhưng mạch lại có hạn chế, đó là mức độ phi tuyến của kết quả lớn, với mức ngưỡng thấp nhất giữa 2 giá trị ngõ ra liên tiếp của mạch là 0.071(V). Tuy nhiên, mức ngưỡng thấp này có thể khắc phục được, bằng cách tăng số lượng ngõ vào, lựa chọn lại giá trị  $V_p$  và  $R_D$  phù hợp.

Với việc sử dụng memristor, kích thước mạch nhỏ hơn, số lượng phần tử mạch ít hơn, và năng lượng tiêu hao thấp hơn vì các phần tử memristor có khả năng tích hợp cao, và duy trì được trạng thái ngay cả khi ngưng cấp nguồn.

Tuy nhiên, đây là lĩnh vực khá mới, thậm chí mới có một vài công trình nghiên cứu thực tế và chỉ được nghiên cứu trong phòng thí

nghiệm là chính. Nên đây là một thách thức khá lớn, đồng thời cũng chứa nhiều tiềm năng để phát triển công nghệ vi mạch hiện nay. Sau khi hoàn thành đề tài này, hướng phát

triển tiếp theo sẽ tập trung vào tốc độ chuyển mạch của memristor, ứng dụng công nghệ mới này vào các mạch tổ hợp truyền thống, và thiết kế các bộ nhớ với độ tích hợp cao hơn.

## TÀI LIỆU THAM KHẢO

- [1] L. O. Chua and S. M. Kang, “*Memristive devices and systems*”, Proc. IEEE, vol. 64, pp. 209–223, Feb. 1976.
- [2] M. Di Ventra, Y. V. Pershin, and L. O. Chua, “*Circuit elements with memory: Memristors, memcapacitors, and meminductors*,” Proc. IEEE, vol. 97, no. 10, pp. 1717–1724, Oct. 2009.
- [3] D.B.Strukov and K.K.Likharev, “*CMOLFPGA: A reconfigurable architecture for hybrid digital circuits with two-terminal nanodevices*,” Nanotechnology, vol. 16, pp. 888–900, 2005.
- [4] G. S. Snider and R. S. Williams, “*Nano/CMOS architectures using a fieldprogrammable nanowire interconnect*,” Nanotechnology, vol. 18, no. 3, p. 035 204, Jan. 2007.
- [5] B. Mouttet, “*Proposal for memristors in signal processing*,” in Proc. Nano-Net 2008, pp. 11–13, 2009.
- [6] S.H.Jo, T.Chang, I.Ebong, B.B.Bhadviya, P. Mazumder, and W. Lu, “*Nanoscale memristor device as synapse in neuromorphic systems*,” Nano Lett., vol. 10, no. 4, pp. 1297–1301, Mar. 2010.
- [7] Sangho Shin, Kyungmin Kim, and Sung-Mo Kang, “*Resistive Computing: Memristors-Enabled Signal Multiplication*”, IEEE transactions on circuits and systems, VOL. 60, NO. 5, MAY 2013.
- [8] D. B. Strukov, G. S. Snider, D. R. Stewart, and R. S. Williams, “*The missing memristor found*,” Nature, vol. 453, pp. 80–83, May 2008.
- [9] L. O. Chua, “*Memristor—The missing circuit element*,” IEEE Trans. Circuit Theory, vol. CT-18, no. 5, pp. 507–519, Sep. 1971.
- [10] J. Borghetti, G. S. Snider, P. J. Kuekes, J. J. Yang, D. R. Stewart, and R.S. Williams, “*“Memristive” switches enable ‘stateful’ logic operations via material implication*,” Nature, vol. 464, pp. 873–875, Apr. 2010.
- [11] K. Kim, S. Shin, and S.-M. Kang, “*Stateful logic pipeline architecture*,” in Proc. IS-CAS, pp. 2497–2500, May. 2011.
- [12] S. Shin, K. Kim, and S.-M. Kang, “*Reconfigurable stateful NOR gate for large-scale logic-array integrations*,” IEEE Trans. Circuits Syst. II, Exp. Briefs, vol. 58, no. 7, pp. 442–446, Jul. 2011.
- [13] S. Shin, K. Kim, and S.-M. Kang, “*Memristive computing-multiplication and correlation*,” in Proc. ISCAS, pp. 1608–1611, May. 2012.