

BỘ TRỘN HẠ TẦN CÔNG SUẤT THẤP, ỨNG DỤNG TRONG BỘ THU PHÁT TẠI TẦN SỐ VÔ TUYẾN

A LOW-POWER DOWN-CONVERTER MIXER APPLIED TO THE UHF TRANSCEIVERS

Nguyễn Hoàng Đức, Hồ Quang Tây
Trung Tâm Nghiên Cứu và Đào Tạo Thiết Kế Vi Mạch

TÓM TẮT

Bộ trộn tần là một thiết bị phi tuyến được sử dụng với mục đích chuyển đổi tần số lên hoặc xuống trong các hệ thống truyền nhận RF. Bộ trộn có kiến trúc cân bằng đôi được sử dụng phổ biến nhất trong thiết kế vi mạch cao tần. Một bộ trộn hạ thấp tần số dạng Gilbert Cell sử dụng trong bộ thu phát không dây tại tần số 433 MHz được thiết kế tối ưu hóa về công suất, độ tuyến tính, hệ số nhiễu và độ cách ly sẽ được giới thiệu trong bài báo này.

Kết quả đạt được của bộ trộn tần này là công suất tiêu thụ 5.18 mW, điểm nén bậc 3 đạt được tại -2.43 dBm và hệ số nhiễu đạt được là 8.9 dBm. Độ cách ly với tần số dao động nội và tần số đầu vào lần lượt là 147 dB và 109 dB.

Từ khóa: Bộ trộn, hệ số tạp âm, độ tuyến tính, độ cách ly.

ABSTRACT

Frequency translation in a system is performed by a non-linear device known as a mixer. The most popular double-balanced mixer used in RFIC designs is the Gilbert Cell mixer. This mixer is an individual block of a 433 MHz transceiver. The proposed mixer requires a 1.8V supply voltage and consumed a 2.88mA current. The third-order intercept point and noise figure are -2.43 dBm and 8.9 dB. The excellent LO/RF and RF/IF isolations are also up to 147 dB and 109dB, respectively.

Key words: mixer, noise figure, linearity, isolation.

I. GIỚI THIỆU

Bộ trộn là một thành phần quan trọng trong các hệ thống truyền nhận tín hiệu. Nó được sử dụng để chuyển đổi tần số lên cao ở thiết bị truyền hoặc xuống thấp ở thiết bị nhận. Nguyên lý hoạt động của bộ trộn là dùng tần số dao động nội (local oscillation, LO) đóng ngắt tần số vô tuyến (radio frequency, RF) để chuyển đổi thành tín hiệu trung tần (intermediate frequency, IF), [1-6].

Phép nhân được thực hiện với hai tín hiệu tại ngõ vào, tương ứng với việc đóng ngắt ở mạch nguyên lý, có phương trình tương ứng là:

$$a = A \sin(\omega_1 t + \phi_1) \quad (1)$$

$$b = B \sin(\omega_2 t + \phi_2) \quad (2)$$

Kết quả của phép nhân hai tín hiệu trên là:

$$a.b = AB \sin(\omega_1 t + \phi_1) \cdot \sin(\omega_2 t + \phi_2) \quad (3)$$

Bằng các phép biến đổi lượng giác, ta được:

$$a.b = -\frac{AB}{2} [\cos((\omega_1 + \omega_2)t + (\phi_1 + \phi_2)) - \cos((\omega_1 - \omega_2)t + (\phi_1 - \phi_2))] \quad (4)$$

Để thực hiện việc chuyển đổi tần số lên cao trong bộ phát, thì thành phần phổ trong công thức (5) được chọn.

$$\omega_h = \cos((\omega_1 + \omega_2)t + (\phi_1 + \phi_2)) \quad (5)$$

Ngược lại, để chuyển đổi tần số xuống thấp trong bộ thu, thì thành phần phổ trong công thức (6) được chọn.

$$\omega_l = \cos((\omega_1 - \omega_2)t + (\phi_1 - \phi_2)) \quad (6)$$

II. MÔ TẢ BỘ TRỘN GILBERT CELL

Bộ trộn Gilbert Cell có hai dạng là tích cực và thụ động. Thông thường dạng thụ động được sử dụng trong các hệ thống đòi hỏi công suất tiêu thụ siêu thấp vì nó có độ tuyến tính cao và không tiêu thụ công suất. Tuy nhiên, nó bị hao tổn khi chuyển đổi tín hiệu và có hệ số nhiễu cao hơn dạng tích cực. Việc sử dụng bộ trộn thụ động còn được ứng dụng trong các thiết kế siêu cao tần khi mà các transistor không còn đáp ứng được.

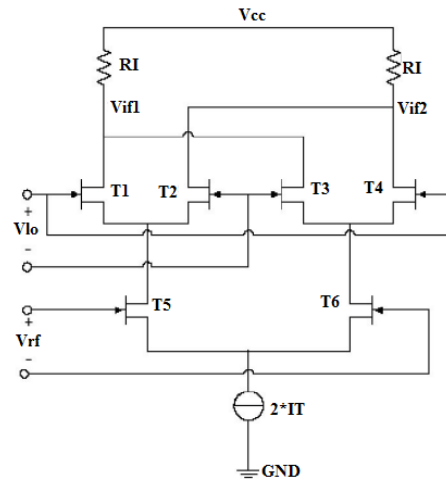
Bộ trộn tích cực thường được sử dụng có hai loại là cân bằng đơn và cân bằng đôi. Cấu trúc loại cân bằng đơn thì đơn giản hơn loại cân bằng đôi và công suất tiêu thụ cũng thấp hơn. Thế nhưng, nhiễu ở ngõ ra lại rất lớn do độ cách ly giữa tín hiệu trung tần với tín hiệu vô tuyến và tần số dao động nội rất thấp.

Về ưu điểm, bộ trộn cân bằng đôi có độ cách ly rất tốt. Do tần số dao động nội và tần số vô tuyến đều cân bằng nên nhiễu bị loại bỏ gần như hoàn toàn tại ngõ ra. Tuy nhiên, điều này còn phụ thuộc rất nhiều vào quá trình thiết kế mạch vật lý. Bên cạnh, dạng bộ trộn này còn cung cấp độ lợi tương đối cao với hệ số nhiễu trong khoảng từ 6dB đến 12dB. Công suất của tần số nội vừa phải, trong khoảng từ -3 dBm đến 3 dBm, cũng là một ưu điểm khiến bộ trộn dạng này có thể tích hợp hoàn toàn vào hệ thống một cách dễ dàng.

Về nhược điểm, vì bộ trộn cân bằng đôi thường được kết nối với một bộ khuếch đại nhiễu thấp tại thiết bị thu nên nó yêu cầu bộ chuyển đổi từ đơn cực sang vi sai. Điều này làm cho diện tích của toàn bộ thiết kế tăng lên.

Sau đây, chúng ta hãy xem xét nguyên lý hoạt động của một bộ trộn Gilbert Cell như minh họa trong hình 1. Tín hiệu vô tuyến được áp vào hai transistor T5 và T6 nhằm chuyển đổi tín hiệu từ điện thế sang dòng điện. Ở đây, chúng ta cần chú ý đến giá trị điện thế một chiều của tín hiệu đầu vào. Điện thế này phải lớn hơn tổng giá trị của điện áp ngưỡng của hai transistor T5, T6 và điện thế nguồn-máng của nguồn dòng cung cấp. Tuy nhiên, để đảm bảo độ tuyến tính của mạch, hai

transistor T5, T6 phải hoạt động trong vùng tuyến tính ($V_{ds} < V_{gs} - V_{th}$). Việc thêm điện trở vào hai cực nguồn của hai transistor T5, T6 để tăng độ tuyến tính cho mạch cũng đồng nghĩa với việc làm giảm đi độ lợi của mạch.

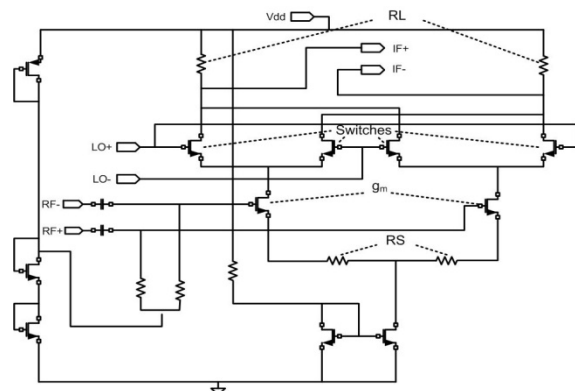


Hình 1. Cấu trúc thường gặp của bộ trộn tần Gilbert cell.

Các transistor (T1, T4) và (T2, T3) tạo thành những cặp làm nhiệm vụ đóng ngắt khi được áp vào tần số dao động nội nghịch pha. Hai transistor T5, T6 cung cấp tín hiệu vô tuyến ở dạng dòng điện nghịch pha, T1 và T3 sẽ đóng ngắt giữa chúng để tạo ra sóng trung tần tại đầu ra tại phía bên trái. Ngược lại T2, T4 sẽ đóng ngắt giữa chúng để tạo ra sóng trung tần tại đầu ra tại phía bên phải. Hai điện trở tải chuyển dòng điện sang điện thế sóng trung tần dạng vi sai tại ngõ ra.

III. THỰC HIỆN MẠCH NGUYÊN LÝ

A. Độ lợi chuyển đổi (CG), điểm nén bậc 3(IIP3)



Hình 2. Cấu trúc thường gặp của bộ trộn tần Gilbert cell.

Theo như trình bày trong [3], tuần tự các bước thiết kế bộ trộn cân bằng đôi cơ bản như sau:

1. Lựa chọn giá trị L_s phù hợp với trở kháng đầu vào của thiết kế và giảm tối đa nhiễu do điện trở ký sinh gây ra.

2. Sử dụng phương trình (7) đến (9) để tính độ dẫn (g_m) của hai transistor T5, T6 kết hợp với điện trở tải (R_s) để tính độ lợi yêu cầu của hệ thống.

3. Sử dụng phương trình (10) đến (16) để tính toán giá trị IM3. Từ đó, ta suy ra được giá trị điện thế lái bão hòa ($V_{gs} - V_{th}$) của hai transistor T5, T6.

4. Định hình kích thước các công tắc đóng ngắt để điện thế lái bão hòa rơi trong khoảng 0.2V đến 0.4V.

Chúng ta nhận thấy ở đây giá trị điện thế lái bão hòa đều liên quan đến độ lợi chuyển đổi và điểm IIP3. Do đó, một sự thỏa hiệp giữa hai tham số này là cần thiết để chọn ra giá trị điện thế lái bão hòa.

$$CG = \frac{2}{\pi} \left(\frac{R_L}{R_s + \frac{1}{gm}} \right) \quad (7)$$

$$gm = k'_{[n,p]} \frac{W}{L} (V_{GS} - V_{TH[n,p]}) \quad (8)$$

$$k'_{[n,p]} = \mu_{eff[n,p]} \cdot \frac{\epsilon_{ox}}{t_{ox}} \quad (9)$$

Điểm nén 1 dB và IIP3 được tính toán dựa vào các phương trình từ (10) đến (14).

$$I_{DSAT} = w_{vsat} \cdot C_{ox} \cdot \frac{V_{od}^2}{V_{od} + E_{sat} \cdot L} \quad (10)$$

$$E_{sat} = \frac{2V_{sat}}{\mu_{eff}} \quad (11)$$

$$\mu_{eff} = \frac{\mu_0}{1 + \zeta \cdot V_{od}} \quad (12)$$

$$P_{1dB} = 0.29 \cdot \frac{V_{sat} \cdot L}{\mu_1 \cdot R_s} \cdot V_{od} \left(1 + \frac{\mu_1 \cdot V_{od}}{4V_{sat} \cdot L} \right) \left(1 + \frac{\mu_1 \cdot V_{od}}{2V_{sat} \cdot L} \right)^2 \quad (13)$$

$$P_{IIP3} = \frac{8}{3} \cdot \frac{V_{sat} \cdot L}{\mu_1 \cdot R_s} \cdot V_{od} \left(1 + \frac{\mu_1 \cdot V_{od}}{4V_{sat} \cdot L} \right) \left(1 + \frac{\mu_1 \cdot V_{od}}{2V_{sat} \cdot L} \right)^2 \quad (14)$$

Với chuyển đổi giá trị công suất sang thang đo dBm và độ linh động hiệu dụng lần lượt được xác định bởi công thức (15) và (16)

$$dBm = 10 \log (1000 \cdot P_{1dB}) \quad (15)$$

$$\mu_1 = \mu_0 + 2\zeta V_{sat} \cdot L \quad (16)$$

B. Những phân tích ước lượng các yếu tố gây nên tạp âm trong mạch

Một cách rõ ràng là khi hoạt động trong vùng tuyến tính thì transistor MOS sẽ sinh ra một lượng nhiễu nhất định. Lúc này, transistor MOS là một điện trở có thể kiểm soát được giá trị. Dòng nhiễu máng được tính bởi công thức của A van der Ziel đưa ra trong phương trình (17).

$$\overline{i_{nd}^2} = 4kT\gamma g_{d0} \Delta f \quad (17)$$

Ở đây g_{d0} là độ dẫn nguồn-máng khi điện thế nguồn-máng (V_{ds}) bằng không. Tham số γ bằng 1 khi V_{ds} bằng 0. Đối với linh kiện có kênh dẫn dài, giá trị này sẽ giảm xuống 2/3 khi transistor MOS ở trạng thái bão hòa. Tuy nhiên, với transistor MOS có kênh dẫn ngắn, hiệu ứng nhiệt của hạt tải lớn đáng kể do điện trường cao trong kênh dẫn. Do đó, γ có thể có giá trị 2, 3 hoặc lớn hơn. Khi điện trường trong kênh dẫn của một linh kiện phụ thuộc vào V_{ds} thì điều quan trọng là chúng ta nên giữ cho V_{ds} càng nhỏ càng tốt. Nếu không nhất thiết vì yêu cầu đáp ứng tần số thì không nên dùng transistor MOS có kênh dẫn nhỏ nhất có thể của một quy trình chế tạo.

Nhiều xuất hiện trong kênh dẫn còn gây ra những hiệu ứng đi kèm trong đó có nhiễu do cảm ứng của cực cổng transistor MOS.

$$\overline{i_{nd}^2} = 4kT\delta g_{g,NQS} \Delta f \quad (18)$$

Trong đó,

$$g_{g,NQS} = \omega^2 C_{gs}^2 r_{g,NQS} \quad (19)$$

Với những transistor MOS có kênh dẫn dài thì giá trị δ là 4/3, giá trị $\delta = 2 * \gamma$. Khi các hạt tải mang năng lượng cực cao làm cho nhiều trong kênh dẫn tăng lên, do đó, làm tăng nhiễu cảm ứng trong kênh dẫn. Hiệu ứng này vẫn đúng cho các transistor có kênh dẫn ngắn.

Nhiều kênh cảm ứng có mối liên hệ rõ ràng với điện trở công không ghép tĩnh. Trong thực tế, ta có thể xem là nhiễu nhiệt của điện trở này. Kết quả của điện thế nhiễu là $\overline{v_{ng}^2}$ được đưa ra dưới dạng như trong phương trình 20 [6].

$$\overline{v_{ng}^2} = 4kT \delta r_{g,NQS} \Delta f \quad (20)$$

A. Thiết kế mạch nguyên lý sử dụng cuộn cảm hạn chế việc làm suy giảm độ lợi

Khi sử dụng điện trở R_s trong thiết kế sẽ làm tăng độ tuyến tính của toàn mạch nhưng mặt khác lại xuất hiện nhiều nhược điểm. Thứ nhất là làm giảm điện áp lái bão hòa trên các transistor nên làm ảnh hưởng đến độ

lợi của toàn mạch. Thứ hai là làm tăng thêm nhiễu nhiệt cho toàn mạch.

Do đó, thay vì sử dụng điện trở, ta có thể thay thế bằng cuộn cảm để tăng độ tuyến tính của mạch. Tại một tần số nhất định cuộn cảm có một trở kháng được tính theo công thức 21.

$$Z_L = 2\pi f L \quad (21)$$

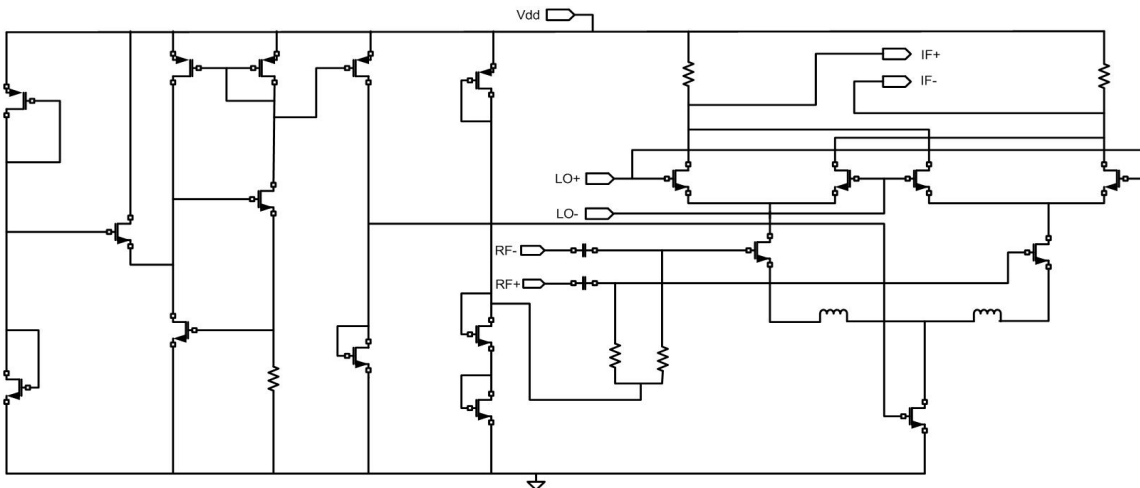
Chúng ta cũng cần thực hiện mô phỏng tham số S để đưa ra giá trị chính xác cho cuộn cảm sử dụng trong thiết kế. Điều này quyết định đến vấn đề phối hợp trở kháng đầu vào cho bộ trộn. Đồng thời cần đảm bảo trở kháng đầu vào của mạch không âm nhằm duy trì tính ổn định của thiết kế.

Cuối cùng, khi sử dụng cuộn cảm cần chú ý đến điện trở ký sinh nối tiếp. Điện trở này ảnh hưởng đến trở kháng của cuộn dây và cũng được xem như là thành phần ký sinh nhiễu trong toàn mạch. Trong quy trình chế tạo được sử dụng để thiết kế các cuộn cảm có hệ số chất lượng từ 4 đến 12.3, tương ứng với các giá trị cuộn dây ta có điện trở ký sinh từ 1.3 Ohm đến 62 Ohm.

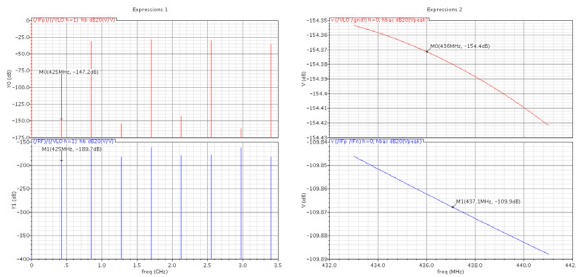
$$Q = \frac{\omega L}{2.R} \quad (22)$$

I. KẾT QUẢ MÔ PHỎNG VÀ THIẾT KẾ VẬT LÝ

A. Kết quả mô phỏng bộ trộn tần Gilbert cell sử dụng cuộn cảm làm tăng độ tuyến tính



Hình 3. Mạch nguyên lý bộ trộn

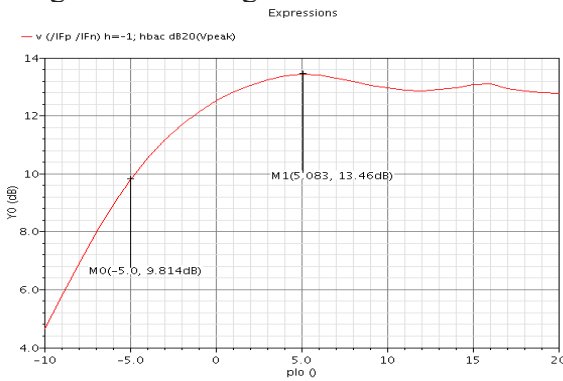


Hình 4. Mô phỏng độ cách ly giữa tần số vô tuyến, tần số dao động nội và tín hiệu trung tần tại các cổng

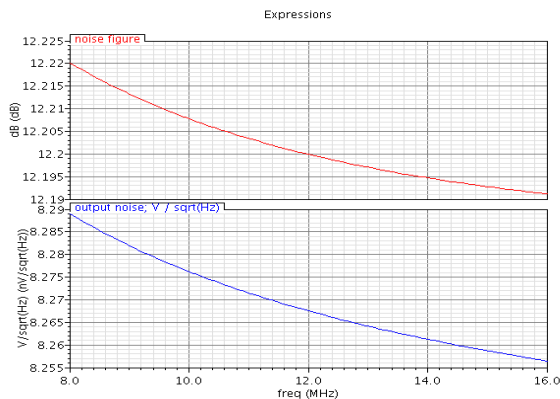
Bảng 1. Độ cách ly giữa tần số vô tuyến, tần số dao động nội và tín hiệu trung tần tại các cổng

LO-to-IF feedthrough	-147dB
LO-to-RF feedthrough	-190dB
RF-to-LO feedthrough	-154dB
RF-to-IF feedthrough	-110dB

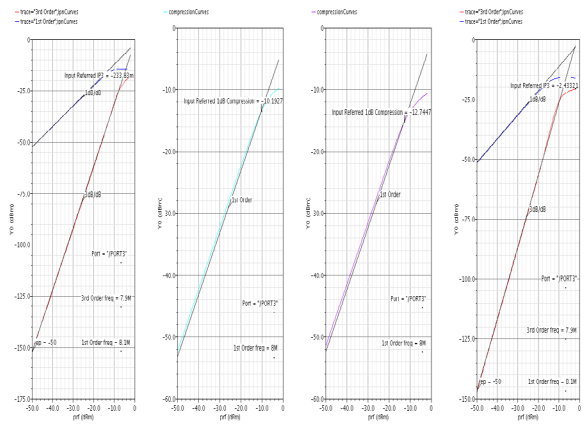
Trong bảng 1 trình bày một cách rõ ràng về độ cách ly giữa các cổng vào ra của bộ trộn. Kết quả cho thấy được ưu điểm của thiết kế trong việc loại bỏ gần như hoàn toàn tần số dao động nội và tần số vô tuyến tại cổng ra tần số trung tần.



Hình 5. Độ lợi chuyển đổi



Hình 6. Hệ số tạp âm và nhiễu tại đầu ra



Hình 7. Điểm nén bậc 1 và IIP3

Device	Param	Noise Contribution	% Of Total
/R2	rn	1.79216e-10	14.75
/PORT2	rn	1.73155e-10	14.25
/I20/M14	id	1.62231e-10	13.35
/I20/M15	id	1.62226e-10	13.35
/I20/M14	fn	9.00731e-11	7.41
/I20/M15	fn	9.00717e-11	7.41
/I20/M14	rgbi	6.89746e-11	5.68
/I20/M15	rgbi	6.89725e-11	5.68
/PORT3	rn	3.8907e-11	3.20
I20.R7.R0.rbody_r	thermal	3.84377e-11	3.16

Integrated Noise Summary (in V²) Sorted By Noise Contributors
 Total Summarized Noise = 1.21499e-09
 Total Input Referred Noise = 5.14069e-11
 The above noise summary info is for hnoise data

Hình 8. Tổng hợp các nhân tố chính gây ảnh hưởng đến hệ số tạp âm

Trong hình 5, sự thay đổi độ lợi chuyển đổi theo công suất tần số dao động nội (pLO) thể hiện một cách rõ ràng. Với pLO biến thiên trong khoảng từ -5 đến 5 dBm độ lợi chuyển đổi thay đổi từ 9.8 dB đến 13.5 dB và khi pLO có tăng thêm thì độ lợi có xu hướng giảm chậm. Do đó, để chọn giá trị pLO phù hợp ta cần thêm một dữ liệu đó chính là hệ số nhiễu của mạch được thể hiện trong hình 6. Tương ứng với giá trị pLO thay đổi trong khoảng -5dBm đến 5 dBm thì hệ số nhiễu thay đổi từ 27 dB đến 12.2 dB.

Khi pLO thấp thì các transistor đóng vai trò switches (hình 2) không còn đóng ngắt giao hoàn nhau trong chu kỳ của tần số dao động nội mà chúng hoạt động đồng thời. Lúc này, các cặp switches bên nhánh trái và nhánh phải hoạt động như một bộ đệm do đó cùng một lúc cả bốn transistor này cùng gây nên nhiễu trong toàn hệ thống. Mặt khác, khi

LO ở dạng sóng sin, chính độ dốc lồi lõm của sóng sin sẽ là tác nhân chính gây nên các nguồn nhiễu khác như nhiễu flicker và các tạp âm bậc chẵn của tần số dao động nội bắt đầu lớn dần trong hệ thống.

Bảng 2. Các thông số đặc tính của bộ trộn

Tham số	Giá trị	Đơn vị
Điện thế cung cấp	1.8	V
Độ lợi chuyển đổi	9.8-13.5	dB
Công suất tần số dao động nội	-5- 5	dBm
Hệ số tạp âm	27-12.2	dB
Dòng tiêu thụ	2.89	mA
IIP3	-0.2	dBm
Điểm nén 1 dB	-10.2	dBm
Tần số sóng vô tuyến	433	MHz
Công nghệ chế tạo	GP 0.13	μm

A. Đánh giá kết quả mô phỏng tạp âm và tối ưu hệ số nhiễu

Dựa trên các kết quả mô phỏng ta nhận thấy, hai transistor ngõ vào RF và nguồn tín hiệu là các linh kiện gây nên tạp âm chủ yếu.

Các thành phần nhiễu được trình bày một cách rõ ràng trong hình 8. Nguồn nhiễu đầu tiên phải kể đến là điện trở của port2 (nguồn cung cấp tín hiệu RF ngõ vào) và điện trở R2 (điện trở được thêm vào như là trở kháng phối hợp với port2). Hai nguồn này chủ yếu gây ra nhiễu nhiệt chiếm 14,75% và 14,25% trong tổng nguồn nhiễu. Nguồn nhiễu thứ hai phải kể đến là hai transistor nMOS 14,15

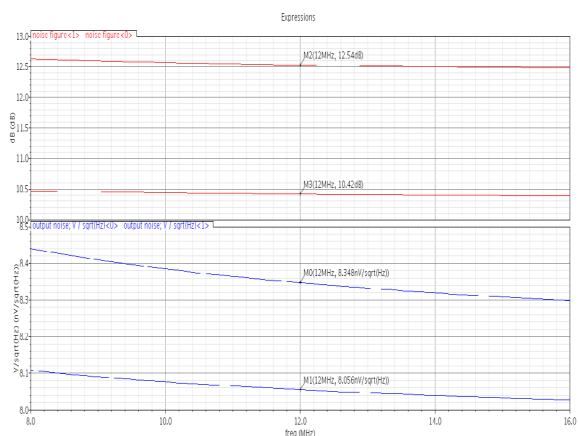
đóng vai trò là ngõ vào tín hiệu RF. Các loại nhiễu hai linh kiện trên gây ra gồm 3 loại sau đây:

- Nhiễu do hạt tải mang năng lượng cao di chuyển trong kênh chiếm 13.35%.
- Nhiễu do các hài sinh ra vì bản chất phi tuyến của linh kiện chiếm 7,41%.
- Nhiễu do hiện tượng cực cổng cảm ứng với kênh dẫn chiếm 5.68%.

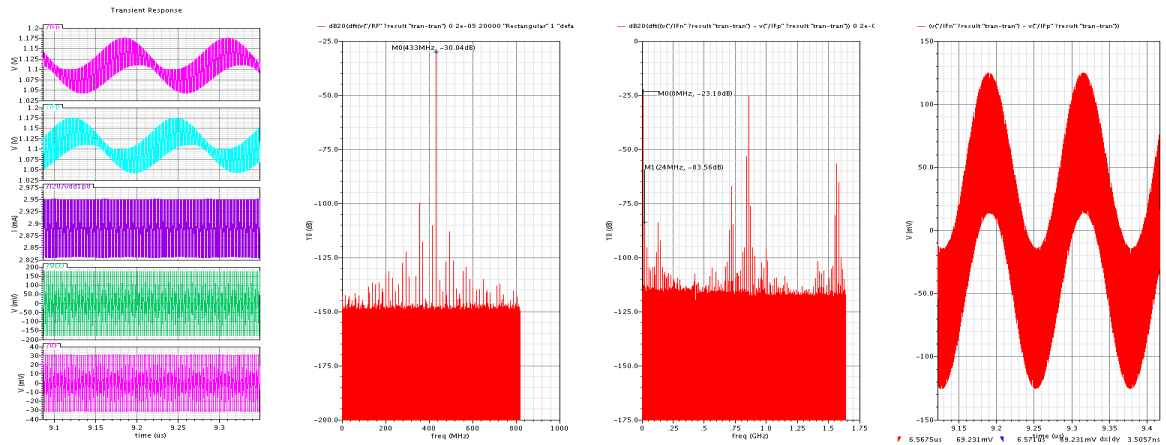
Nếu tính tổng toàn bộ các thành phần nhiễu trên thì mỗi transistor nMOS 14,15 gây nên xấp xỉ 27% trong tổng nguồn nhiễu toàn mạch.

Thành phần nhiễu do các hài bậc nhất được tạo bởi các linh kiện phi tuyến. Trong phép đo ta nhận thấy, hai transistor tại ngõ vào của tần số RF là thành phần chủ yếu tạo nên giá trị hài bậc nhất. Do đó, để giảm thiểu nguồn nhiễu này, cặp vi sai đầu vào tần số RF cần được giữ trong vùng hoạt động tuyến tính.

Thành phần nhiễu thứ hai được tạo thành bởi tương tác giữa cực cổng và kênh dẫn trong transistor MOS. Nhiễu xuất hiện trong kênh dẫn cũng góp phần tạo nên nhiễu tại cực cổng. Khi nhiễu trong kênh dẫn tăng sẽ khiến cho nhiễu tại cực cổng cũng tăng. Vì thế, để giảm thiểu nguồn nhiễu này ta cần hạn chế tối đa nhiễu trong kênh dẫn.



Hình 9. Kết quả mô phỏng hệ số tạp âm sau khi đã tối ưu.



Hình 10. Kết quả mô phỏng thời gian thực của bộ trộn.

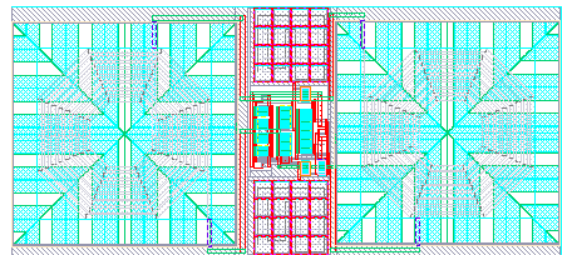
Bảng 3. Các thông số đặc tính của bộ trộn sau khi tối ưu các thông số đặc tính.

Tham số	Giá trị	Đơn vị
Điện thế cung cấp	1.8	V
Độ lợi chuyển đổi	12.5-15	dB
Công suất tần số dao động nội	0-5	dBm
Hệ số tạp âm	11.2-8.9	dB
Dòng tiêu thụ	2.81	mA
IIP3	-2.4	dBm
Điểm nén 1 dB	-12.8	dBm
Tần số sóng vô tuyến	433	MHz
Công nghệ chế tạo	GP 0.13	μm

B. Thiết kế vật lý và tổng hợp kết quả

Bảng 4. Diện tích của hai thiết kế vật lý bộ trộn tần

Thiết kế vật lý	Diện tích	Đơn vị
Bộ trộn sử dụng cuộn dây	720x 315	μm^2



Hình 11. Thiết kế vật lý bộ trộn tần sử dụng cuộn cảm làm tăng độ tuyến tính.

I. TỔNG KẾT VÀ THẢO LUẬN

Bài báo đã đưa ra trình tự thiết kế bộ trộn hạ thấp tần số. Từ những tính toán bằng tay và kết quả mô phỏng cho thấy thiết kế đã đạt được những yêu cầu đặt ra. Cụ thể, công suất tiêu thụ thấp, vào khoảng 5.2mW. Với công suất tần số dao động nội từ 0 đến 5 dBm thì hệ số nhiễu từ 8.9 dB đến 11 dB. Điểm nén bậc ba đạt tại -2.4 dBm.

LỜI CẢM ƠN

Chúng tôi xin chân thành cảm ơn sự cấp phép của “Đại Học Quốc Gia Thành Phố Hồ Chí Minh” để chúng tôi thực hiện đề tài mang mã số: B2011-40-04.

TÀI LIỆU THAM KHẢO

[1] T.H.Lee, The Design of CMOS Radio Frequency Integrated Circuits, Cambridge University Press, 1998.
 [2] Behzad Razavi, RF Microelectronics, Prentice Hall Companies, 2001.

- [3] Barrie Gilbert, “The Micromixer: A Highly Linear Variant of the Gilbert Mixer Using a Bisymmetric Class AB Input Stage”, *IEEE Journal of Solid-State Circuits*, vol. 32, pp 1412-1423, Sept, 1997
- [4] Behzad Razavi, *Design of Analog CMOS Integrated Circuits*, McGraw Hill Companies, 2001.
- [5] Barrie. Gilbert, “The Multitanh Principle: A tutorial Overview”, *IEEE Journal of Solid-State Circuits*, vol 33, pp. 2-17, Jan, 1998
- [6] A.vander Ziel, “Thermal Noise in Field Effect Transistors ”, *Proceedings of the IEEE*, pp. 1801–1812, Aug, 1962.

ĐỊNH NGHĨA CÁC THAM SỐ VÀ KÝ HIỆU SỬ DỤNG TRONG CÔNG THỨC

$k'_{[n,p]}$	Tham số xuyên dẫn của một transistor
μ_0	Độ linh động trung bình của hạt tải
$\mu_{eff[n,p]}$	Độ linh động hiệu dụng của hạt tải
ϵ_{ox}	Hằng số điện môi của lớp oxide cực cổng
t_{ox}	Độ dày lớp oxide cực cổng
C_{ox}	Điện dung trên một đơn vị diện tích cực cổng
ζ	Hệ số phi tuyến tính
γ	Hệ số quá mức tạp âm
δ	Tham số mô hình tạp âm tại cực cổng
k	Hằng số Boizman
T	Nhiệt độ tuyệt đối

$r_{g,NQS}$	Điện trở cổng không ghép tĩnh
v_{ng}	Điện thế nhiễu cực cổng
$g_{g,NQS}$	Độ dẫn không ghép tĩnh cực cổng
i_{nd}	Dòng nhiễu cực máng
i_{ng}	Dòng nhiễu cực cổng
gm	Độ xuyên dẫn của transistor
V_{gs}	Điện thế cổng-nguồn
V_{th}	Điện thế ngưỡng
E_{sat}	Điện trường bão hòa
V_{sat}	Điện thế bão hòa
V_{od}	Điện thế lái quá