

NGHIÊN CỨU KỸ THUẬT KẾT NỐI GIỮA CÁC DIE TRONG MẠCH TÍCH HỢP 3-D

RESEARCH ON THE INTERCONNECTION TECHNOLOGIES BETWEEN DIES IN THE THREE-DIMENSIONAL INTEGRATED CIRCUITS (3-D ICs)

Nguyễn Chí Nhân

ĐH Khoa học Tự Nhiên, Tp. Hồ Chí Minh.

Dương Hoài Nghĩa,

ĐH Bách Khoa, Tp. Hồ Chí Minh.

Đinh Văn Anh,

University of Saskatchewan, Canada.

TÓM TẮT

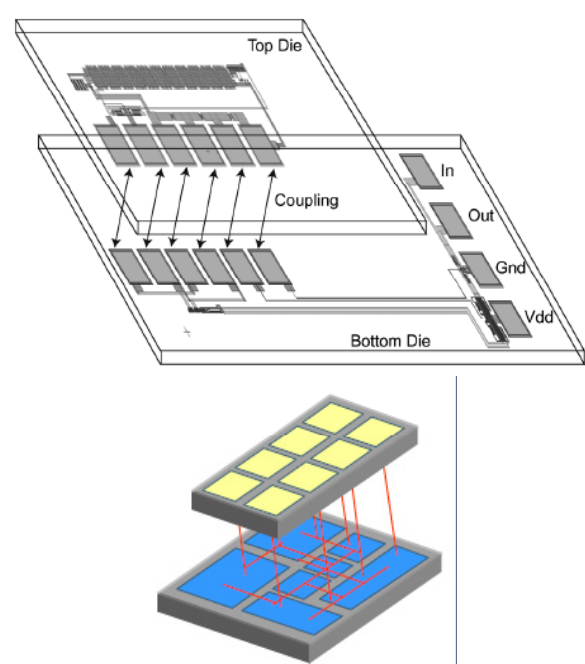
Kỹ thuật kết nối ba chiều (3-D) đã được đề xuất để giảm đi những thách thức đặt ra bởi những mạch tích hợp cao như SoC. Bằng việc cung cấp nhiều lớp trong mạch tích hợp cùng với mật độ kết nối cao giữa các lớp này, công nghệ tích hợp 3-D cung cấp cho những nhà thiết kế mạch số một giải pháp tốt trong việc giải quyết những vấn đề mà họ gặp phải ngày càng gia tăng kết nối trong mạch tích hợp cao đó là vấn đề về công suất tiêu thụ và độ trễ. Trong bài báo này, chúng tôi sẽ thảo luận tổng thể về lưu trình tích hợp 3-D, phân tích mạch tích hợp 3-D, hiệu suất chiều dài dây kết nối trong mạch tích hợp 3-D, những đặc điểm về thời gian và năng lượng của mạch tích hợp 3-D.

ABSTRACT

Three-dimensional interconnect technologies have been proposed in order to mitigate design challenges posed by VLSI such as SoC. By providing multiple layers in integrated circuits together with high-density local interconnects between these layers, 3-D technologies give digital-circuit designers greater freedom in meeting power and delay budgets that are increasingly interconnect-dominated. In this paper, we will discuss the overall 3-D integration process flow, analysis of 3-D integrated circuits, wire-length performance of 3-D integrated circuits, timing characteristics and energy characteristics of 3-D ICs.

I. GIỚI THIỆU

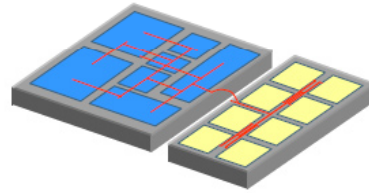
Kỹ thuật kết nối 3-D giữa các die bên trong chip là một kỹ thuật đang được quan tâm của nhiều nhà nghiên cứu trong việc thiết kế mạch tích hợp cao. Nó cho phép thiết kế các hệ thống tích hợp cao bởi việc xếp chồng các die (wafer) theo chiều thẳng đứng và việc kết nối giữa các die lại với nhau. Những lợi ích tiềm năng của mạch tích hợp 3-D có thể khác nhau tùy thuộc vào cách tiếp cận, chúng bao gồm những lợi ích sau: gia tăng mật độ kết nối, tăng hiệu suất, giảm công suất tiêu thụ, giảm độ trễ trong mạch, giảm chi phí đóng gói, gia tăng năng suất và độ tin cậy, tối thiểu hoá chi phí sản xuất.



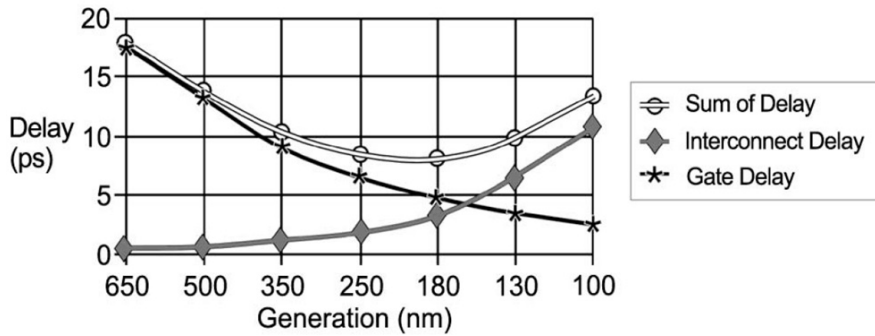
Hình 1: Kỹ thuật kết nối 3-D giữa các die bên trong chip

II. PHÂN TÍCH MẠCH TÍCH HỢP 3-D

Kết nối 2-D bên trong chip như hình 2 có những nhược điểm như sau: hệ thống lớn, dây kết nối dài dẫn đến độ trễ lớn, kích thước die lớn, các die chia sẻ bus với nhau.

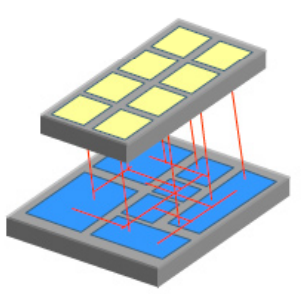


Hình 2: Kết nối 2-D bên trong chip



Hình 3: Độ trễ trong mạch [c]

Trong hình 4, trình bày mô hình kết nối 3-D giữa các die bên trong chip, với kỹ thuật kết nối này có những ưu điểm như sau: giảm kích thước hệ thống, dây kết nối ngắn dẫn đến giảm độ trễ, và tiêu thụ công suất thấp, kích thước die nhỏ.

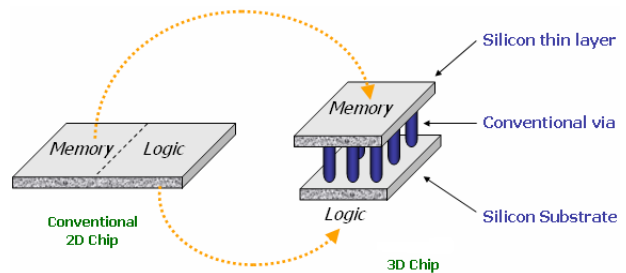


Hình 4: Kết nối 3-D bên trong chip

Nhìn chung, một mạch tích hợp 2-D được chia thành các khối logic được kết nối bằng cách sử dụng dây kết nối dài, do đó làm tăng độ trễ. Mạch tích hợp 3-D gồm nhiều lớp Si được kết nối lại với nhau theo chiều thẳng đứng (vertical inter-layer interconnects -VILIC) [1]

Kiến trúc 3-D cung cấp thêm tính linh hoạt trong thiết kế hệ thống như việc sắp xếp và định tuyến kết nối trong mạch (placement and routing). Ví dụ, những công logic trên một đường quan trọng (on acritical path) có thể được đặt rất gần nhau bằng cách sử dụng nhiều lớp khác nhau. Điều này có khả năng làm giảm diện tích chip thông qua đó làm tăng mật độ tích hợp transistor và giảm kết nối dây. Đồng thời sẽ làm giảm đáng

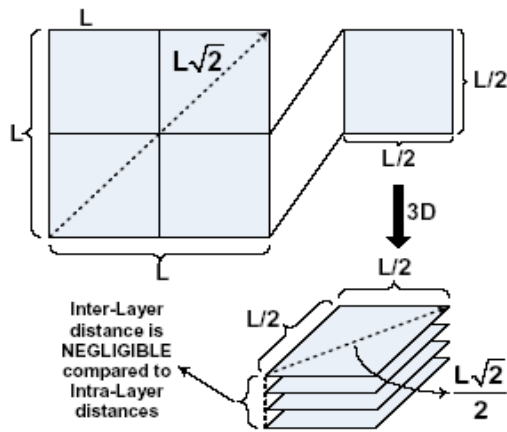
kể độ trễ trong mạch RC và làm nâng cao hiệu suất của các mạch logic. Công nghệ này có thể được khai thác để xây dựng các hệ thống-trên-chip (SoC) bằng cách đặt các mạch có điện áp khác nhau và yêu cầu thực hiện trong các lớp khác nhau.



Hình 5: So sánh giữa kết 2-D và 3-D trong chip

Phân bố chiều dài dây trong kết nối 3-D:

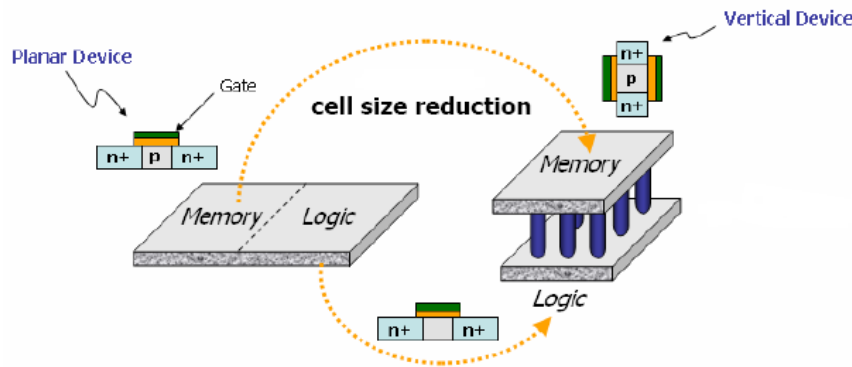
Vấn đề phân bố chiều dài dây kết nối trong mạch tích hợp là một vấn đề quan trọng vì nó làm ảnh hưởng đến hiệu suất của hệ thống, và độ trễ. Đối với những mạch có mật độ tích hợp cao như SoC thì công nghệ mạch tích hợp 2-D nó gặp phải những vấn đề về dây kết nối dài giữa các die trong chip. Do đó, việc nghiên cứu làm sao giảm thiểu được chiều dài dây kết nối trong mạch tích hợp, công nghệ mạch tích hợp 3-D nó có thể giải quyết được vấn đề trên. Hình bên dưới cho thấy sự khác nhau trong việc phân bố chiều dài dây trong mạch tích hợp 2-D và 3-D.



Hình 6: So sánh việc phân bố chiều dài dây trong mạch tích hợp 2-D và 3-D [2]

III. KỸ THUẬT KẾT NỐI GIỮA CÁC DIE TRONG MẠCH TÍCH HỢP 3-D

Công nghệ thiết kế mạch tích hợp 3-D còn được gọi là công nghệ kết nối thẳng đứng, về cơ bản trong thiết kế là khai thác theo chiều thẳng đứng của chip để giảm chiều dài dây kết nối và để đạt được hiệu quả mật độ tích hợp cao.



Hình 7: Công nghệ kết nối thẳng đứng

Những kỹ thuật kết nối 3-D bao gồm:

- **Wire-bonding**
- **Micro-bumps**
- **Through-vias**
- **Contact less interconnect**

Mỗi kỹ thuật kết nối 3-D đều có ưu và khuyết điểm riêng. Tuy nhiên, tất cả chúng đều cung cấp cách kết nối ở khoảng cách nhỏ (micron) và độ trễ thấp. Việc so sánh các phương pháp này dựa trên các tiêu chí như: khả năng tích hợp (ở quy mô die hoặc wafer), số lượng tối đa của các tầng, phạm vi kết nối theo chiều thẳng đứng và số lượng nguồn tài nguyên được tiêu thụ trong chip.

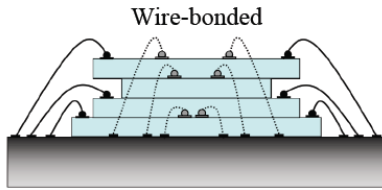
Bảng 1: So sánh giữa các kỹ thuật kết nối

		Assembly	Tier limit	Vertical Pitch	Chip Layer Resources
Wire-bonded		Die	~5	35-100 μ m	All
Micro-bump	3D Package	Die	heat	25-50 μ m	Top 1-2
	Face-to-face	Die	2	10-100 μ m	Top 1-2
Contactless	Capacitive	Die	2	50-200 μ m	Top
	Inductive	Die	heat	50-150 μ m	Top 1-2
Through-Via	Bulk	Wafer	heat, yield	50 μ m	All + Top
	SOI	Wafer	heat, yield	5 μ m	All + Top

3.1. Wire-bonded

Kỹ thuật kết nối phổ biến nhất đó là wire-bonded, trong đó sử dụng dây để kết nối các die trong một stack. Nhìn chung, kết nối giữa các chip thông qua các board hoặc chip và nối trở lại với các chip khác trong stack, tuy nhiên, nó có

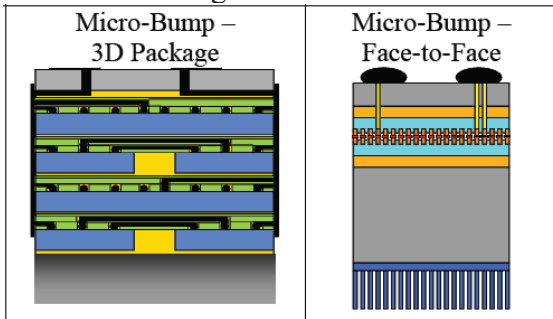
thể kết nối dây từ chip đến chip trong stack. Kỹ thuật này bị hạn chế bởi chiều dài dây từ 35 μ m đến 100 μ m và ngày càng trở nên khó khăn khi số lượng I/O trong các chip tăng lên và mật độ tích hợp trong chip ngày càng cao.



Hình 8: Kỹ thuật Wire-bonded

3.2. Micro-bump

Kỹ thuật kết nối này được thực hiện bằng cách sử dụng hợp kim hoặc vàng để hàn lên bề mặt của các die. Phạm vi cho kết nối này khoảng từ 25-100 μm . Tầng Epoxy đã được kết nối bằng kỹ thuật micro bump và điều này làm cho tín hiệu được truyền đến các cạnh của hình khối 3-D, các tầng khác nhau sau đó được xếp chồng lên nhau. Ở đây, các die được xếp chồng lên nhau thành hình khối như trong hình sau:

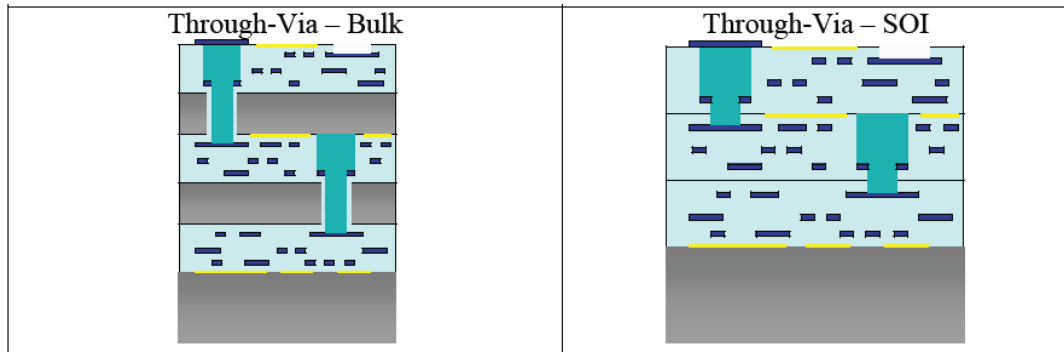


Hình 9: Kỹ thuật Micro-bump

So với kỹ thuật wire-bonded thì kỹ thuật micro-bump cho phép kết nối với mật độ lớn hơn. Khi tín hiệu được chuyển đến vùng ngoại biên của chip không làm giảm đáng kể điện dung ký sinh. Nhiệt sinh ra bên trong chip làm giới hạn số lượng các die có thể được xếp chồng lên nhau. Theo kết quả của tác giả [b] với vị trí thích hợp của các khối trong kiến trúc 3D, việc sử dụng năng lượng của các mạch logic, các bộ lặp, kỹ thuật pipeline trong việc định tuyến đường dẫn có thể làm giảm tiêu thụ công suất khoảng 15% và đồng thời làm tăng hiệu suất lên 15%.

3.3. Through-Via

Có 2 phương pháp kết nối theo kỹ thuật through-via đó là: through-via bulk and through-via Silicon on Insulator (SOI). Cả hai phương pháp này đều có khả năng cung cấp mật độ kết nối lớn nhưng bất lợi là do chi phí cao. Các tấm wafer đầu tiên và thứ hai được đặt đối diện và các lớp cao hơn được đặt theo hướng mặt quay lên. Kết nối này được cung cấp bằng cách lắp kín vonfram trong những tấm wafer đã được khắc. Các chip tiếp theo nằm trên bề mặt đã được đánh bóng của các chip được khắc trước đó. Các kết nối power, ground, và I/O được cung cấp bởi các tầng trên cùng. Số lượng tầng phụ thuộc chủ yếu vào giới hạn bởi nhiệt sinh ra bên trong các stack.

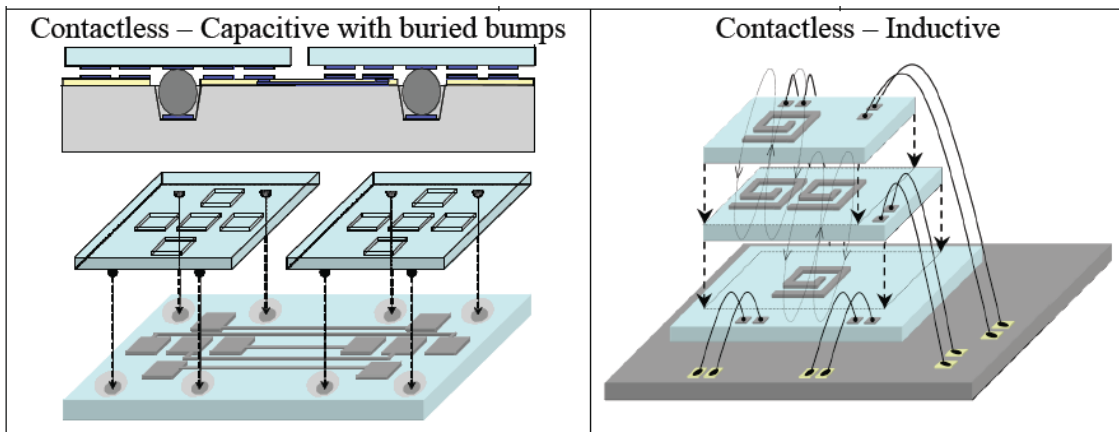


Hình 10: Kỹ thuật Through-via

3.4. Contactless

Contactless hoặc kết nối-AC sử dụng kết nối điện dung hoặc tự cảm để giao tiếp giữa các tầng. Phương pháp này giúp loại bỏ các tín hiệu kết nối ngoại vi của IC cũng như việc định tuyến giữa các tầng. Các tụ điện được hình thành bởi lớp kim loại trên cùng được sử dụng trong kết nối điện dung. Khoảng cách giữa các tầng và hằng số điện môi quyết định mật độ của các kết nối này. Phương pháp sử dụng điện dung yêu cầu

các tầng được đặt đối diện nhau (face-to-face). Điều này hạn chế số tầng - chỉ có hai tầng. Nguồn cung cấp giữa các chip được hỗ trợ bởi kỹ thuật Micro-bump. Kết nối sử dụng tự cảm thì thuận lợi hơn trong đó thực hiện việc tách rời các phần tử kết nối, mà nó được xác định bởi bề dày của chip. Đây là phương pháp cho phép kết nối nhiều die hơn thông qua việc xếp chồng die.



Hình 11: Kỹ thuật Contactless

Các hạn chế của kỹ thuật kết nối truyền thống có thể được xem xét từ bốn khía cạnh như sau: trở kháng, điện dung, điện cảm, và tốc độ bit trong các kết nối [3-5]. Đối với trở kháng, nó được tính như sau:

$$R_{interconnect} = R_{wire} + R_{contact} + R_{via}$$

Số lượng các tiếp xúc (contact) không đổi và số lượng đường kết nối (via) có xu hướng tăng với các lớp kim loại trong các mạch phức tạp. Từ lý thuyết truyền dẫn, chúng ta thấy rằng đối với một điện dung C và trình điều khiển của nó, phải có một giá trị của trở kháng R . Với trở kháng trong kết nối ngày càng tăng, hằng số độ trễ RC có thể được tính như

$$\text{sau: } \tau_{delay} = R_{interconnect} \times C_{interconnect}$$

Tiếp theo, đối với điện dung, thành phần điện dung bên trong các lớp kim loại đang tăng lên. Tỷ lệ giữa điện dung bên trong lớp kim loại (intra-metal capacitance) và điện dung giữa lớp kim loại (inter-metal capacitance) có liên quan đến mật độ tích hợp ngày càng cao. Tuy nhiên, để tín hiệu có sự ổn định tốt, chúng ta phải duy trì một tỷ lệ nhỏ (miễn là tỷ lệ này nhỏ hơn 1). Do đó, mật độ tích hợp không được quá cao, do các điện dung bên trong kim loại sẽ tăng. Đối với các kết nối điện cảm, thì nó xảy ra các hiện tượng như: phản xạ tín hiệu và nhiễu xuyên kênh đối với những tín hiệu ngõ vào của mạch hoạt động ở tần số cao. Khi một mạch có tần số trên 500MHz, thì kết nối điện cảm trong chip phải được xem xét.

Cuối cùng, đối với tốc độ bit, các kết nối dây truyền thống phải đối mặt với một số giới hạn nhất định. Một khi tốc độ bit vượt quá $\sim 10^{16} A/l^2$ hoặc $\sim 10^{17} A/l^2$ (trong đó A là diện tích mặt cắt ngang của dây kết nối và l là chiều dài của dây)

bởi việc điều chỉnh biên độ kênh thì kết nối dây trở nên khó khăn hơn.

IV. KẾT LUẬN

Qua bài báo này chúng tôi đã nghiên cứu về kỹ thuật kết nối giữa các die trong mạch tích hợp 3-D và cho thấy được những đặc điểm thuận lợi của việc ứng dụng kỹ thuật này trong thiết kế những vi mạch có mật độ tích hợp cao như SoC. Ở đây, chúng tôi cũng đã phân tích một số đặc tính của mạch tích hợp 3-D như: hiệu suất chiều dài dây kết nối, độ trễ và công suất tiêu thụ trong mạch tích hợp 3-D. Trong đó, chúng tôi đặc biệt quan tâm đến các kỹ thuật kết nối giữa các die (wafer) bên trong chip 3-D và phân tích những mặt thuận lợi và hạn chế của các kỹ thuật kết nối này.

TÀI LIỆU THAM KHẢO

- [1] Krishna C. Saraswat, K. Banerjee, A. R. Joshi, P. Kalavade, P. Kapur and S. J. Souri, 3-D ICs: *Motivation, Performance Analysis, and Technology*, Department of Electrical Engineering, Stanford University, Stanford, CA, 94305, USA.
- [2] Feihui Li, Chrysostomos Nicopoulos, Thomas Richardson, Yuan Xie, Vijaykrishnan Narayanan, Mahmut Kandemir, *Design and Management of 3D Chip Multiprocessors Using Network-in-Memory*, Dept. of CSE, The Pennsylvania State University, University Park, PA 16802, USA
- [3] Jeffrey A. Davis et al, "Interconnect

Limits on Gigascale Integration (GSI) in the 21st Century”, *IEEE Invited Paper*, 2001.

[4] Raguraman Venkatesan et al, “Optimal n-tier Multilevel Interconnect Architectures for Gigascale Integration (GSI)”, *IEEE Transactions on Very large Scale Integration (VLSI) Systems*, Vol. 9, No. 6, pp 899-912 December 2001.

[5] A. Deutsch et al, “On-chip wiring design challenges for Gigahertz operation,” *Proceedings of the IEEE*, vol. 89, no. 4, April 2001.

Website:

[a] <http://asic-soc.blogspot.com/2007/11/vertical-interconnect-technologies-3-d.html>.

[b] Demystifying 3D ICs: The pros and cons of going vertical, <http://www.ece.ncsu.edu/muse/papers/dtoc2005.pdf>, 9/5/2007.

[c] www.hipeac.net/system/files/iloii_Interconnect.pps.