

GIẢI THUẬT ĐIỀU CHẾ VECTOR KHÔNG GIAN PWM CHO ULTRA SPARSE MATRIX CONVERTER THỰC HIỆN VỚI CARD FPGA XC3S500E

SPACE VECTOR PWM METHOD FOR ULTRA SPARSE MATRIX CONVERTER USING FPGA XC3S500E

Trần Vũ, Nguyễn Văn Nhờ

PTN Hệ Thống Năng Lượng, Khoa Điện-Điện tử, ĐH Bách Khoa TP.HCM

TÓM TẮT

Bộ biến đổi ma trận rất thưa (Ultra Sparse Matrix converter) bao gồm 9 khóa bán dẫn đơn, có nhiều ưu điểm so với bộ biến đổi ma trận truyền thống có 18 khóa. Với cấu trúc 9 khóa đơn, bộ biến đổi ma trận rất thưa là dạng cấu trúc gọn nhất. Mặc dù giới hạn chỉ cho công suất theo 1 chiều, bộ biến đổi ma trận rất thưa có cùng chất lượng sóng đầu ra như bộ biến đổi ma trận truyền thống. Trong bài báo toàn giải thuật điều khiển cho bộ biến đổi ma trận rất thưa được thiết kế hoàn toàn trên card Xilinx FPGA Spartan-3E XC3S500E. Tính hiệu quả của giải thuật được kiểm chứng qua mô phỏng và thực nghiệm. Các kết quả thực nghiệm của xung kích được so sánh với chuỗi đóng ngắt xung lý thuyết. Các kết quả thực nghiệm sóng đầu ra, đầu ra cũng được phân tích.

ABSTRACT

The Ultra Sparse Matrix converter (USMC) circuit, which simply consists of nine single switches, shows a great advantage to a much more burdensome conventional Matrix converter, which involves a double number of switches. Being due to this least number of switches, USMC is the most compact design. Despite its restricted requirement of unidirectional power flow applications, USMC has the same high quality output waveform of conventional Matrix converter. In this paper, a whole control algorithm of USMC was entirely designed on Xilinx XC3S500E Spartan-3E FPGA. The algorithm's efficiency is verified through simulation and experiment work for switching strategy of USMC. Experimental results of switching gate signals are shown and compared to theoretical switching sequence. Experimental input and output waveforms are also analyzed.

I. GIỚI THIỆU

Khi càng ngày càng có nhiều sự quan tâm về các bộ biến đổi xoay chiều AC-AC ứng dụng cho các máy phát năng lượng gió đòi hỏi tính linh hoạt cao. Bộ biến đổi ma trận đã thu hút được rất nhiều sự nghiên cứu trong hiện tại và tương lai. Với cấu trúc tất cả đều là khóa bán dẫn và không có bất cứ thành phần dự trữ năng lượng nào, bộ biến đổi ma trận có thể tạo ra dạng sóng đầu vào, đầu ra có dạng sin với hệ số công suất đầu vào có thể điều khiển được. Tuy nhiên, trở ngại chính của bộ biến đổi ma trận là rất dễ gây ra quá áp trong quá trình đóng ngắt; vì vậy một vài cấu hình đã được đưa ra cho giải thuật đóng ngắt và

cấu trúc đơn giản hơn như một giải pháp thay thế.

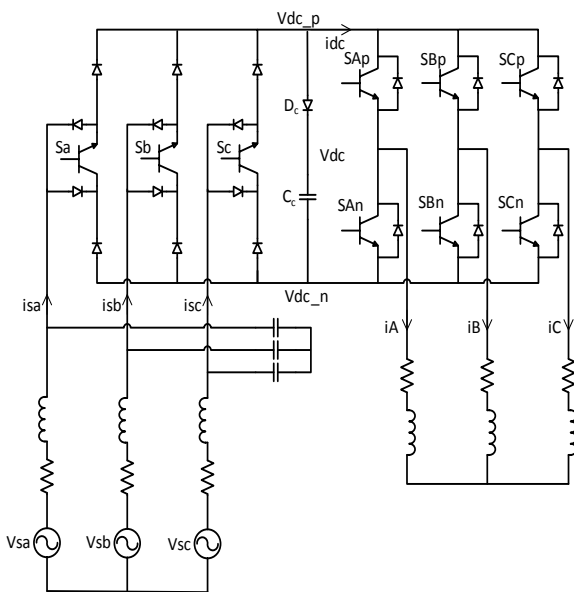
Một số dạng mới của bộ biến đổi ma trận được biết đến như: Bộ biến đổi ma trận hai tầng hoặc là Bộ biến đổi ma trận tầng kép đã được đề nghị [1][5][9]. Đặc biệt là Sparse matrix converter với việc giảm số khóa chỉnh lưu đầu vào [2],[3].

Ultra sparse matrix converter là dạng gọn nhất của Sparse matrix converter với 9 khóa đóng ngắt đơn và 18 diodes cùng với mạch kẹp bao gồm 1 diode D_c và 1 tụ C_c như trên Hình

1[4]. Ưu điểm của Sparse matrix converter so với bộ biến đổi ma trận truyền thống là giải thuật đóng ngắt đơn giản và an toàn hơn do đóng ngắt bên phía chỉnh lưu khi dòng bằng 0, và mạch kẹp bảo vệ cũng đơn giản hơn.

Ngày nay công nghệ FPGA cho phép thực hiện được nhiều giải thuật điều khiển phức tạp[6][7][8]. Khả năng thực thi nhiều phép tính song song làm FPGA là một công nghệ cho những hệ thống điều khiển đòi hỏi đáp ứng nhanh và độ chính xác cao. Trong bài báo, giải thuật điều chế vector không gian cho Ultra Sparse Matrix converter được thực hiện trên card Xilinx XC3S500E Spartan-3E FPGA. Mô hình mô phỏng cho Ultra Sparse Matrix converter được xây dựng sử dụng MATLAB/Simulink.

Mô hình phân cứng của Ultra Sparse Matrix converter được xây dựng để kiểm chứng tính khả thi thực tế của giải thuật. Những kết quả thực nghiệm về xung kích được tạo ra bởi card FPGA của tầng chỉnh lưu và nghịch lưu được đưa ra và so sánh với chuỗi xung kích đóng ngắt của giải thuật. Các kết quả thực nghiệm về dạng sóng đầu vào đầu ra của giải thuật điều chế vector không gian cũng được phân tích.



Hình 1. Ultra Sparse Matrix converter

II. ĐIỀU CHẾ VECTOR KHÔNG GIAN

A. Phương pháp PWM cho tầng chỉnh lưu:

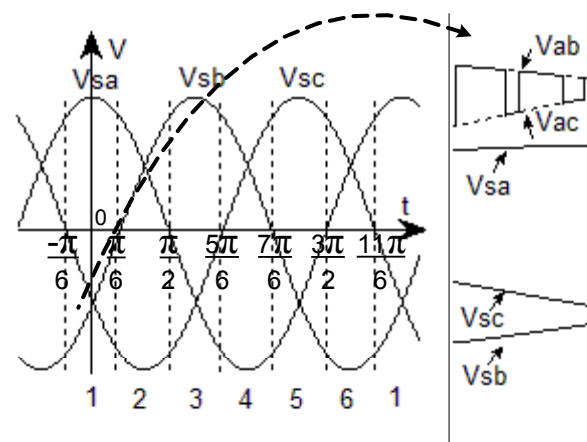
Điện áp ba pha đầu vào:

$$\begin{cases} V_{sa} = V_m \cos \theta_a = V_m \cos(\omega_i t) \\ V_{sb} = V_m \cos \theta_b = V_m \cos(\omega_i t - 120) \\ V_{sc} = V_m \cos \theta_c = V_m \cos(\omega_i t + 120) \end{cases} \quad (1)$$

Với ω_i : tần số góc của áp nguồn đầu vào

Với: tần số góc của áp nguồn đầu vào

Chu kỳ của điện áp ba pha đầu vào được chia thành 6 khoảng như ở Hình 2.



Hình 2. Sáu khoảng chia của điện áp ba pha đầu vào

Giả sử tại thời điểm lấy mẫu điện áp ba pha đang nằm trong khoảng 1 thuộc đoạn $[-\pi/6, \pi/6]$. Trong khoảng này độ lớn điện áp V_{sa} lớn hơn điện áp V_{sb} và V_{sc} .

Do vậy trong suốt chu kỳ đóng ngắt thuộc đoạn $[-\pi/6, \pi/6]$. Khóa S_a sẽ đóng duy trì trong một chu kỳ và 2 khóa còn lại S_b và S_c sẽ đóng với tỷ số đóng cắt d_b và d_c như sau[1]:

$$d_b = -\frac{V_{sb}}{V_{sa}} = -\frac{\cos \theta_b}{\cos \theta_a}, \quad d_c = -\frac{V_{sc}}{V_{sa}} = -\frac{\cos \theta_c}{\cos \theta_a} \quad (2)$$

Khi khóa S_b được đóng, điện áp V_{dc} sẽ bằng điện áp V_{ab} với tỷ số d_b . Khi khóa S_c đóng, điện áp V_{dc} sẽ bằng điện áp V_{ac} với tỷ số d_c . Giá trị trung bình áp V_{dc} trong một chu kỳ sẽ là:

$$V_{dc} = d_b \cdot (V_{sa} - V_{sb}) + d_c (V_{sa} - V_{sc}) \quad (3)$$

Thế (1) và (2) vào phương trình (3), giá trị trung bình điện áp V_{dc} trong một chu kỳ thu được như sau:

$$V_{dc} = \frac{3V_m}{2 \cdot |\cos\theta_a|} \quad (4)$$

Tổng quát giá trị trung bình áp V_{dc} trong một chu kỳ sẽ là:

$$V_{dc} = \frac{3V_m}{2 \cdot \cos\theta_{in}} \quad (5)$$

Với $\cos(\theta_{in}) = \max(|\cos\theta_a|, |\cos\theta_b|, |\cos\theta_c|)$

Bảng 1: Trạng thái đóng ngắt tầng chỉnh lưu

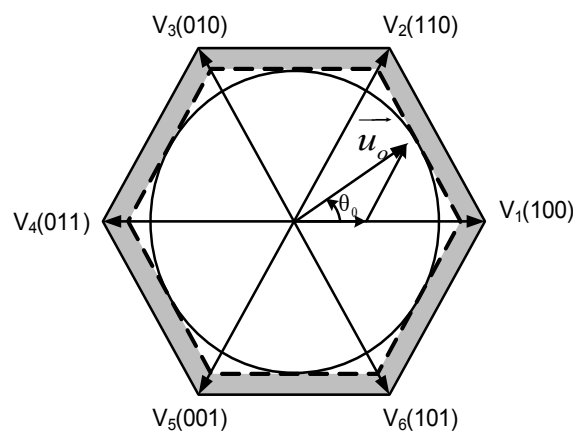
Sa	Sb	Sc	Vdc_p	Vdc_n	Vdc	ia	ib	ic	
1	0	1	Vsa>Vsc	Vsa	Vsc	Vac	idc	0	-idc
			Vsa<Vsc	Vsc	Vsa	Vca	-idc	0	idc
0	1	1	Vsb>Vsc	Vsb	Vsc	Vbc	0	idc	-idc
			Vsb<Vsc	Vsc	Vsb	Vcb	0	-idc	idc
1	1	0	Vsb>Vsa	Vsb	Vsa	Vba	-idc	idc	0
			Vsb<Vsa	Vsa	Vsb	Vab	idc	-idc	0

Vdc_p: điện thế nhánh trên của tầng chỉnh lưu.

Vdc_n: điện thế nhánh dưới của tầng chỉnh lưu.

B. Phương pháp điều chế vector không gian cho tầng nghịch lưu

Tương tự như phương pháp điều chế vector không gian cho nghịch lưu 2 bậc, thời gian đóng ngắt T_1, T_2 and T_0 sẽ được tính toán khi vector không gian áp quay với điện áp DC trung bình của tầng chỉnh lưu là .



Hình 3. Giản đồ vector không gian áp đầu ra . Sự

thay đổi giá trị trung bình của áp DC theo chu kỳ đóng ngắt làm thay đổi đường kính lục giác, phạm vi thay đổi xác định bởi vùng tô đậm.

Tuy nhiên giá trị trung bình điện áp DC thực sự là , do vậy giá trị thời gian T_1, T_2 sẽ được nhân thêm với hệ số để bù cho sự chênh lệch so với giá trị thực sự của điện áp.

$$\begin{cases} T_1 = T_s \times d_1 = \frac{2}{\sqrt{3}} m_v \sin(60 - \theta_0) T_s \times \cos\theta_{in} \\ T_2 = T_s \times d_2 = \frac{2}{\sqrt{3}} m_v \sin(\theta_0) T_s \times \cos\theta_{in} \\ T_0 = T_s - T_1 - T_2 \end{cases} \quad (6)$$

Với $m_v = \frac{|u_0|}{v_m}$: tỷ số điều chế áp đầu ra

θ_0 : góc quay của vector không gian áp

Ở tầng chỉnh lưu, giá trị điện áp V_{dc} có 2 khoảng giá trị, Điện áp V_{dc} sẽ bằng V_{ab} trong khoảng $T_s d_b$ với tỷ số đóng cắt d_b và V_{dc} sẽ bằng V_{ac} trong khoảng $T_s d_c$ với tỷ số đóng cắt d_c như được diễn tả trong Hình 4. Ở tầng nghịch lưu giá trị thời gian đóng ngắt T_1, T_2, T_0 tương ứng với các vector V_1, V_2, V_0 cũng sẽ được phân phối trong 2 khoảng này.

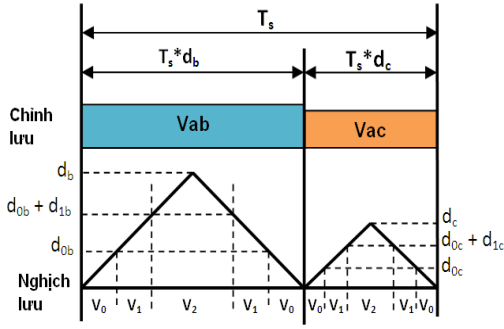
Giá trị thời gian được phân phối trong khoảng $T_s d_b$:

$$\begin{cases} T_{1b} = T_1 \times d_b = T_1 \times \frac{-\cos\theta_b}{\cos\theta_a} ; (d_{1b} = d_1 \times d_b) \\ T_{2b} = T_2 \times d_b = T_2 \times \frac{-\cos\theta_b}{\cos\theta_a} ; (d_{2b} = d_2 \times d_b) \\ T_{0b} = T_0 \times d_b = T_0 \times \frac{-\cos\theta_b}{\cos\theta_a} ; (d_{0b} = d_0 \times d_b) \end{cases} \quad (7)$$

Giá trị thời gian được phân phối trong khoảng $T_s d_c$:

$$\begin{cases} T_{1c} = T_1 \times d_c = T_1 \times \frac{-\cos\theta_c}{\cos\theta_a} ; (d_{1c} = d_1 \times d_c) \\ T_{2c} = T_2 \times d_c = T_2 \times \frac{-\cos\theta_c}{\cos\theta_a} ; (d_{1c} = d_2 \times d_c) \\ T_{0c} = T_0 \times d_c = T_0 \times \frac{-\cos\theta_c}{\cos\theta_a} ; (d_{0c} = d_0 \times d_c) \end{cases} \quad (8)$$

Từ giản đồ phối hợp đóng cắt ta thấy khi phía tầng chỉnh lưu chuyển mạch từ điện áp V_{ab} sang điện áp V_{ac} thì phía nghịch lưu đang điều chế vector , do đó dòng i_{dc} bằng 0. Điều này cho thấy trong suốt quá trình chuyển mạch ở tầng chỉnh lưu dòng i_{dc} luôn bằng 0. Vì vậy tất cả các khóa tầng chỉnh lưu đều được đóng ngắt ở thời điểm dòng bằng 0.



Hình 4. Giản đồ phối hợp đồng cắt giữa tầng chỉnh lưu và nghịch lưu

C. Hệ số công suất đầu vào của Sparse Matrix converter

Dòng tải ba pha có dạng như sau:

$$\begin{cases} i_A = I_0 \cos \theta_{oi} = I_0 \cos(\omega_o t + \varphi_o) \\ i_B = I_0 \cos(\theta_{oi} - 120) = I_0 \cos(\omega_o t + \varphi_o - 120) \\ i_C = I_0 \cos(\theta_{oi} + 120) = I_0 \cos(\omega_o t + \varphi_o + 120) \end{cases} \quad (9)$$

Giả sử tại tầng nghịch lưu vector không gian đang nằm trong Sector 1, dòng i_{dc} sẽ bằng dòng tải i_A , $-i_C$ và 0 khi phía nghịch lưu điều chế tương ứng vector V_1 , V_2 , V_0 . Vì vậy Giá trị trung bình dòng i_{dc} trong một chu kỳ sẽ là:

$$\begin{aligned} i_{dc,avg} &= \frac{T_1 i_A - T_2 i_C}{T_s} \\ &= \frac{2m_v I_0 \cos \theta_{in}}{\sqrt{3}} [\sin(60 - \theta_o) \cos \theta_{oi} - \sin \theta_o \cos(\theta_{oi} + 120)] \\ &= m_v I_0 \cos(\theta_o - \theta_{oi}) \cos \theta_{in} = m_v I_0 \cos \Psi \cos \theta_{in} \end{aligned} \quad (10)$$

(Ψ : góc lệch pha giữa áp tải và dòng tải)

Ở phía chỉnh lưu độ lớn của điện áp pha A là lớn nhất trong khoảng 1 thuộc đoạn $[-\pi/6, \pi/6]$, vì vậy khóa S_A sẽ đóng duy trì trong một chu kỳ và 2 khóa còn lại S_B và S_C sẽ đóng trong d_b và d_c , như vậy dòng ba pha đầu vào thu được như sau:

$$\begin{cases} i_{sa} = i_{dc,avg} = m_v I_0 \cos \Psi \cos \theta_a \\ i_{sb} = -d_b i_{dc,avg} = m_v I_0 \cos \Psi \cos \theta_b \\ i_{sc} = -d_c i_{dc,avg} = m_v I_0 \cos \Psi \cos \theta_c \end{cases} \quad (11)$$

So sánh giữa dòng đầu vào (11) và áp nguồn (1). Dòng đầu vào luôn cùng pha với áp nguồn, do vậy hệ số công suất đầu vào của Sparse Matrix luôn được giữ bằng 1.

III. THIẾT KẾ FPGA CỦA ULTRA SPARSE MATRIX

Khối điều khiển giải thuật điều chế vector không gian được phát triển cho Ultra Sparse Matrix converter bao gồm 2 khối điều khiển chính: Khối điều khiển tầng chỉnh lưu và khối điều khiển tầng nghịch lưu như được miêu tả trong Hình 5. Tần số đóng ngắt của Ultra Sparse Matrix converter f_s là 10kHz.

Khối điều khiển tầng chỉnh lưu thực hiện phương pháp đóng ngắt PWM cho tầng chỉnh lưu. Khối điều khiển tạo ra xung kích cho các khóa Sa, Sb, Sc và chuyển tỷ số đóng ngắt của tầng chỉnh lưu tới khối điều khiển tầng nghịch lưu. Trong khối điều khiển tầng nghịch lưu, giải thuật điều chế vector không gian được thực hiện và thời gian đóng ngắt của vector không gian được phân phối tương ứng với tỷ số đóng ngắt nhận được từ tầng chỉnh lưu. Khối điều khiển tầng nghịch lưu tạo ra xung kích cho các khóa SAp, SAn, SBp, SBn, SCp, SCn của tầng nghịch lưu.

A. Khối điều khiển tầng chỉnh lưu

Trong khối điều khiển tầng chỉnh lưu có 2 khối: khối tính toán tỷ số đóng ngắt và khối tạo xung kích tầng chỉnh lưu.

Khối tính toán tỷ số đóng ngắt của tầng chỉnh lưu

Dựa trên giá trị tức thời đo được của áp nguồn 3 pha, giá trị Maximum(|Vsa|,|Vsb|,|Vsc|), Medium(|Vsa|,|Vsb|,|Vsc|) và Minimum(|Vsa|,|Vsb|,|Vsc|) được xác định. Sau đó tín hiệu logic Max, Mid, Min được đưa ra cho mỗi pha để nhận biết trạng thái mỗi pha là Max, Mid hay Min. Và tỷ số đóng ngắt tầng chỉnh lưu được tính toán như phương trình (2).

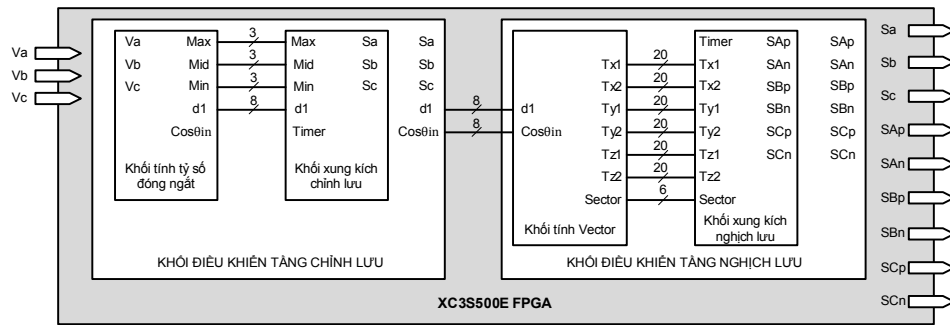
Khối tạo xung kích tầng chỉnh lưu

Khối sẽ tạo ra xung kích đóng ngắt cho tầng chỉnh lưu. Khối tạo xung kích sẽ nhận thông tin Max, Mid, Min về trạng thái điện áp ba pha Vsa, Vsb, Vsc và tỷ số đóng ngắt đã được tính toán từ khối tính tỷ số đóng ngắt ở trước.

$$\begin{aligned} &\leftarrow \begin{array}{c} T_s \times d_l \\ V_{dc} = |V_{Max} - V_{Mid}| \end{array} \rightarrow \begin{array}{c} T_s \times d_2 \\ V_{dc} = |V_{Max} - V_{Min}| \end{array} \rightarrow \\ &V_{Max}, V_{Mid}, V_{Min} = \text{Max}, \text{Mid}, \text{Min}(|V_{sa}|, |V_{sb}|, |V_{sc}|) \end{aligned}$$

Ở phía chỉnh lưu có 2 khoảng đóng ngắt. Dựa trên sự so sánh giữa giá trị tức thời của Timer và khoảng đóng ngắt để xác định giá trị Timer đang nằm trong khoảng đóng ngắt nào, và kết hợp với tín hiệu Max, Mid, Min để

đóng những khóa thích hợp. $|V_{Max} - V_{Mid}|$ và $|V_{Max} - V_{Min}|$ sẽ là giá trị điện áp DC với tỷ số đóng ngắt $d1$ và $d2$. Giá trị trung bình của điện áp DC trong một chu kỳ đóng ngắt đã được diễn tả trong phương trình (5).



Hình 5. Khối điều chế vector không gian PWM thiết kế trên FPGA của Ultra Sparse Matrix converter

B. Khối điều khiển tầng nghịch lưu

Khối điều khiển tầng nghịch lưu có 2 khối: khối tính toán vector không gian và khối tạo xung kích tầng nghịch lưu.

Khối tính toán thời gian đóng ngắt vector không gian

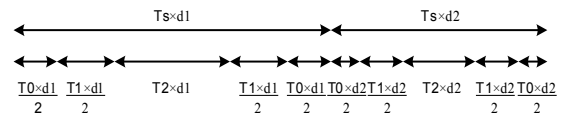
Trong khối này, vị trí sector của vector không gian tham khảo được xác định bằng cách đo góc quay θ_0 . Còn thời gian đóng ngắt của vector không gian được tính theo (6) và được phân phối trong 2 khoảng đóng ngắt tương ứng với tỷ số đóng ngắt của tầng chỉnh lưu như (7), (8).

Khối tạo xung kích tầng nghịch lưu

Khối tạo xung kích tầng nghịch lưu nhận thông tin về vị trí sector và thời gian đóng ngắt đã được tính toán từ khối tính toán vector không gian để đưa ra những tín hiệu đóng ngắt cho tầng nghịch lưu.

Bằng cách sử dụng phương pháp đóng ngắt số cho những khóa nghịch lưu, giả sử vector không gian tham khảo đang ở vị trí sector 1 thì thứ tự của chuỗi đóng ngắt cho Ultra Sparse Matrix converter tương ứng như bên dưới:

$$T_0 \times d1/2 \rightarrow T_1 \times d1/2 \rightarrow T_2 \times d1 \rightarrow T_1 \times d1/2 \rightarrow T_0/2 \rightarrow T_1 \times d2/2 \rightarrow T_2 \times d2 \rightarrow T_1 \times d2/2$$



Đóng ngắt số của chuỗi đóng ngắt trên trong khối tạo xung kích tầng nghịch lưu được thực hiện bằng cách so sánh giá trị tức thời của Timer với những tổng của những khoảng đóng ngắt để xác định giá trị Timer đang nằm trong khoảng đóng ngắt nào, và sau đó dựa trên bảng tra kết hợp với thông tin về vị trí sector để phân phối những xung kích thích hợp tới những khóa tầng nghịch lưu.

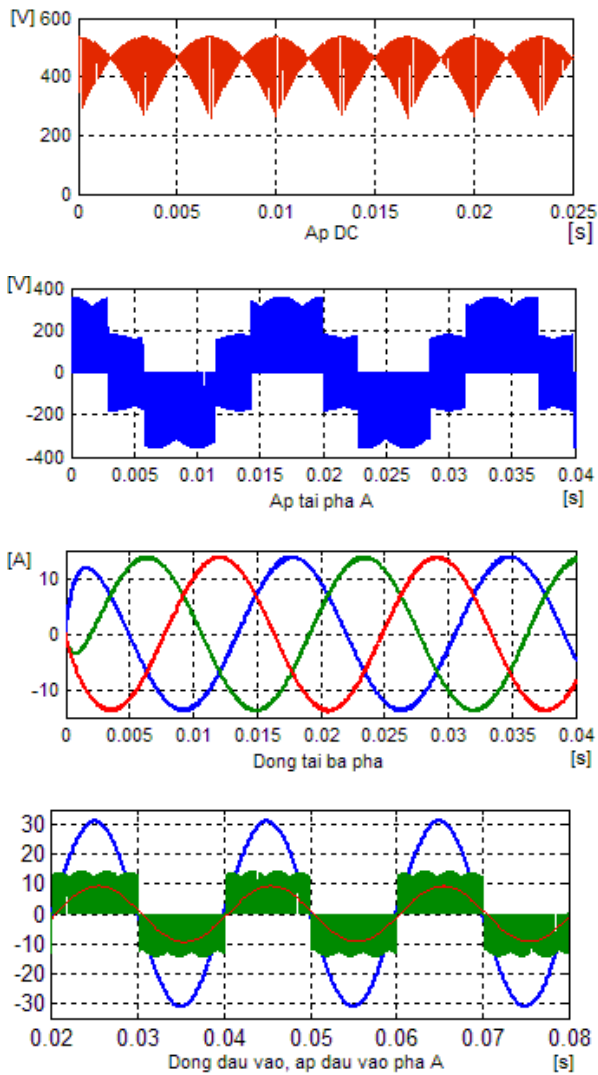
IV. KẾT QUẢ MÔ PHỎNG

Mô hình mô phỏng cho Ultra Sparse Matrix Converter được xây dựng bởi MATLAB/Simulink

Thông số mô phỏng của Ultra Sparse Matrix converter như bảng bên dưới:

Áp ba pha đầu vào	380V/50Hz
Tải cân bằng ba pha RL	R=15Ω, L=30mH
Tần số đầu ra	60Hz
Tỷ số điều chế	0.8
Tần số đóng cắt	10KHz

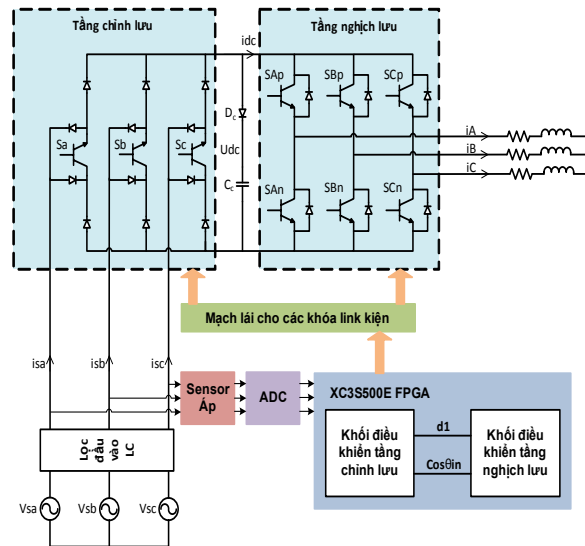
Những kết quả mô phỏng của Ultra Sparse Matrix Converter được trình bày trong Hình 6.



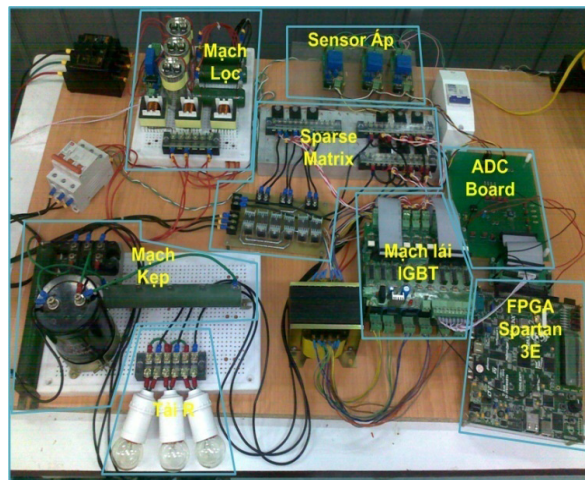
Hình 6. Kết quả mô phỏng của Ultra Sparse Matrix converter

V. KẾT QUẢ THỰC NGHIỆM

Sơ đồ điều khiển FPGA cho Ultra Sparse Matrix được trình bày như Hình 7. Mô hình thiết kế phần cứng của Ultra Sparse Matrix trên Hình 8.



Hình 7. Sơ đồ khối điều khiển của Ultra Sparse Matrix.



Hình 8. Mô hình thực hiện phần cứng của Ultra Sparse Matrix.

Card FPGA XC3S500E Spartan-3E của Xilinx được sử dụng để thực hiện giải thuật điều chế vector không gian cho Ultra Sparse matrix. Port mở rộng trên card FPGA XC3S500E Spartan-3E được nối tới mạch ADC và mạch lái IGBT. Mạch ADC sử dụng IC AD7864 và mạch lái IGBT được thiết kế dựa trên opto quang TLP251 để cách ly mạch điều khiển và mạch công suất. Khối công suất của Sparse Matrix sử dụng 9 khóa IGBT GT60M323. Giá trị tức thời điện áp ba pha đầu vào được đo bởi 3 cảm biến áp LEM LV 25-P.

Tài nguyên logic được sử dụng để thiết kế giải thuật điều khiển trên FPGA cho Ultra Sparse Matrix như bảng dưới:

Design Summary

Target Device : xc3s500e

Target Package : fg320

Target Speed : -4

Number Slice Registers: 280 out of 9,312 3%

Number of occupied Slices:3,716 out of 4,656 79%

Number of 4 input LUTs: 7,314 out of 9,312 78%

Number of bonded IOBs: 7 out of 232 3%

Number of BUFGMUXs: 2 out of 24 8%

Number of MULT18X18SIOs: 7 out of 20 35%

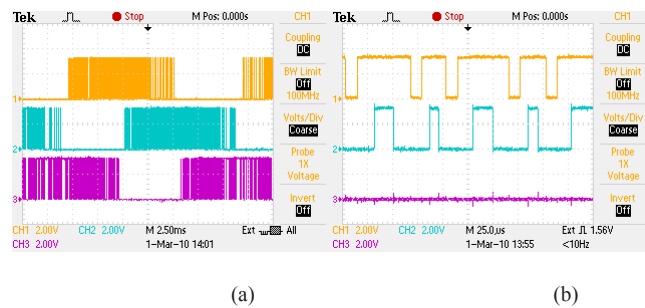
Thông số thực nghiệm của Ultra Sparse Matrix converter:

Áp ba pha đầu vào	55V/50Hz
Tải cân bằng ba pha RL	R=30Ω, L=30mH
Tần số đầu ra	40Hz
Tỷ số điều chế	0.7
Tần số đóng cắt	10KHz
Lọc đầu vào	L=1mH, C=20μF

Các xung kích thực nghiệm SAp,SBp,SCp của tầng nghịch lưu như trong Hình 9. Xung kích thực nghiệm trong Hình 9b đã trùng khớp với chuỗi đóng ngắt phía nghịch lưu như trong Hình 4.

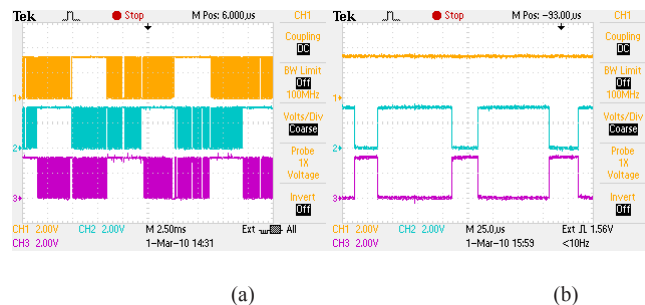
Các xung kích thực nghiệm của tầng chỉnh lưu được đưa ra trong Hình 10. Như thấy trong Hình 10b, khóa Sa ở trạng thái ON trong suốt một chu kỳ trong khi khóa Sb và Sc thay đổi trạng thái đóng ngắt trong một chu kỳ. Điều

này phù hợp với phương pháp PWM cho tầng chỉnh lưu đã được trình bày trong phần II.



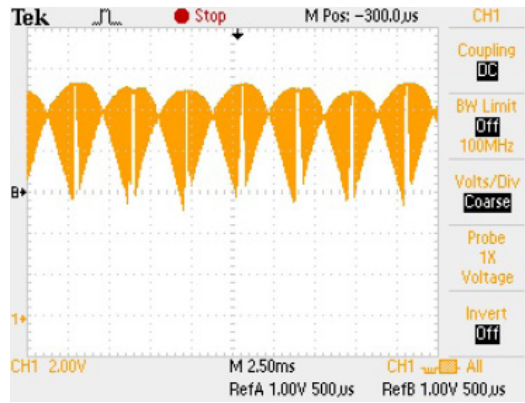
Hình 9. Các xung kích thực nghiệm SAp,SBp,SCp của tầng nghịch lưu.

(a) Quan sát trong 1 chu kỳ (20ms). (b) Quan sát chi tiết

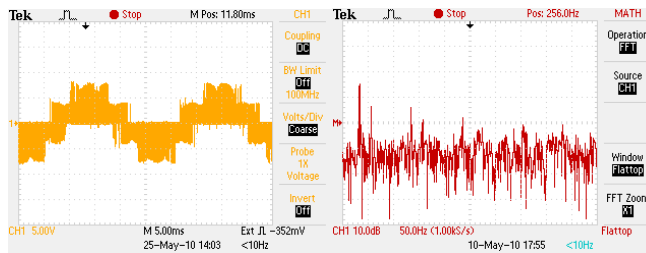


Hình 10. Các xung kích thực nghiệm Sa,Sb,Sc của tầng chỉnh lưu.

(a) Quan sát trong 1 chu kỳ (20ms). (b) Quan sát chi tiết



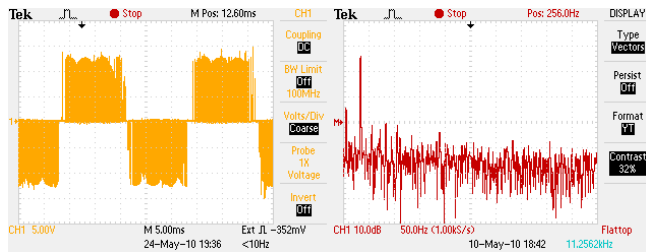
Hình 11. Dạng sóng áp DC tăng chỉnh lưu



(a)

(b)

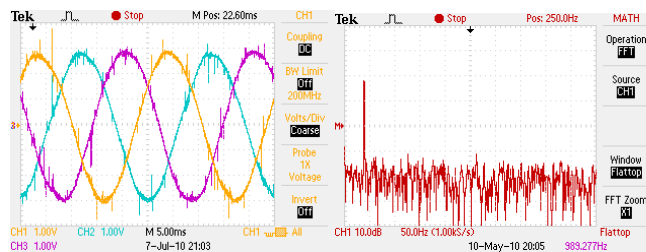
Hình 12. (a) Dạng sóng áp pha của tải. (b) Phổ FFT áp pha



(a)

(b)

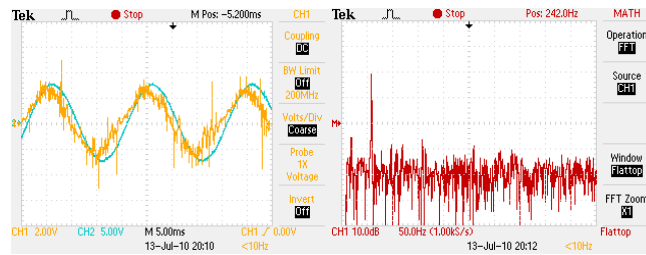
Hình 13. (a) Dạng sóng áp dây của tải. (b) Phổ FFT áp dây



(a)

(b)

Hình 14. (a) Dòng tải ba pha RL. (b) Phổ FFT dòng tải



(a)

(b)

Hình 15. (a) Dòng đầu vào và áp đầu vào. (b) Phổ FFT dòng đầu vào

Hình 14a cho thấy sóng dòng tải có dạng sin và phổ FFT của dòng tải không có hài bậc thấp. Dòng đầu vào và áp đầu vào trong Hình 15a có độ lệch pha thấp, xác định bởi chọn thông số mạch lọc đầu vào.

VI. KẾT LUẬN

Trong bài báo này những kết quả mô phỏng của giải thuật đóng ngắt đã được trình bày và thiết kế FPGA của khối điều chế vector không gian cho Ultra Sparse Matrix converter đã được đưa ra. Toàn bộ giải thuật điều khiển cho Ultra Sparse Matrix converter được thiết kế trên FPGA vì vậy các phép tính được thực thi song song và tốc độ tính toán được cải thiện đáng kể. Kết quả các xung kích thực nghiệm được tạo ra bởi card Xilinx XC3S500E Spartan-3E FPGA phù hợp với chuỗi đóng ngắt của giải thuật. Kết quả thực nghiệm cho thấy khả năng tạo ra dạng sóng đầu vào, đầu ra có chất lượng cao với hệ số công suất đầu vào luôn giữ được bằng 1 của Ultra Sparse Matrix.

TÀI LIỆU THAM KHẢO

[1] L. Wei and T.A. Lipo, "A novel matrix converter with simple commutation", In Proceedings of 36th IEEE Industry Applications Society Conference. (IAS'2001), vol.3, pp. 1749-1754, Chicago, IL, USA, 2001

[2] L. Wei and T.A. Lipo, "Matrix converter with reduced number of switches", In Proceeding of IEEE Power Electronics Specialist Conference, PESC 2002, pp.57-63

[3] J.W. Kolar, F. Schafmeister, S.D. Round, H. Ertl, "Novel three-phase AC-AC sparse matrix converter", IEEE Transactions on Power Electronics, Vol. 22, Issue 5, Sept.

2007, pp. 1649 – 1661.

[4] J. Schonberger, T. Friedli, S.D. Round, J.W. Kolar, "An ultra sparse matrix converter with a novel active clamp circuit", In Power Conversion Conference – Nagoya, 2007. PCC '07, 2-5 April 2007 Page(s):784 - 791

[5] Zhiyong Li, Hao Cai, Xiaoying Li, Xiangdong Kong, "Modulation Strategy Research for Dual Bridge Matrix Converter on DSP", Measuring Technology and Mechatronics Automation, 2009. ICMTMA '09. International Conference on Volume 3, 11-12 April 2009 Page(s):396 - 399

[6] Francesco Ricci, Hoang Le-Huy, "Modeling and simulation of FPGA-based variable-speed drives using Simulink", In Proceedings of Mathematics and Computers in Simulation. 2003, 183-195

[7] Jean-Gabriel Mailloux, Stephane Simard and Rachid Beguenane, "Implementation of Division and Square Root Using XSG for FPGA-Based Vector Control Drives", International Journal of Electrical and Power Engineering 1 (5): 524-529, 2007.

[8] Z. Zhou, T. Li, T. Takahashi and E. Ho, "Design of a universal space vector PWM controller based on FPGA", Applied Power Electronics Conference and Exposition, 2004. APEC '04. Nineteenth Annual IEEE .

[9] Su Mei, Xie Hong Jun, "Indirect Torque Control of Induction Motor Based on Two-Stage Matrix Converter", Intelligent Control and Automation, 2008. WCICA 2008. 7th World Congress on.